

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Taketo WATANABE, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **August 5, 2003**

For: **SEMICONDUCTOR DEVICE, MANUFACTURING METHOD THEREOF, AND CMOS INTEGRATED CIRCUIT DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 5, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-238554, filed August 19, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson
Attorney for Applicants
Reg. No. 27,133

DWH/jaz
Atty. Docket No. **030927**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: August 19, 2002

Application Number: No. 2002-238554
[ST.10/C]: [JP2002-238554]

Applicant(s): FUJITSU LIMITED

December 27, 2002

Commissioner,
Patent Office Shinichiro Ota (Seal)

Certificate No. 2002-3102706

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 8月19日

出願番号

Application Number: 特願2002-238554

[ST.10/C]:

[JP2002-238554]

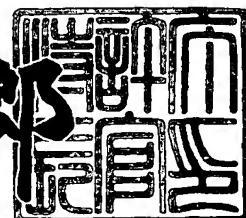
出願人

Applicant(s): 富士通株式会社

2002年12月27日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3102706

【書類名】 特許願

【整理番号】 0240237

【提出日】 平成14年 8月19日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/08
H01L 29/78
H01L 21/265

【発明の名称】 半導体装置およびその製造方法、CMOS集積回路装置

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 渡邊 武人

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 野村 俊雄

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 川合 真一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 川股 隆行

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 佐藤 成生

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法、CMOS集積回路装置

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、

前記半導体基板中、前記ゲート電極の両側に形成された第1導電型のソース領域およびドレイン領域と、

前記半導体基板中、前記ソース領域と前記ドレイン領域との間に、前記ソース領域およびドレイン領域から離間して、前記半導体基板の正面に対して垂直な方向に延在するように形成された、第2導電型のパンチスルーストップ領域となり、

前記パンチスルーストップ領域中における前記第2導電型不純物元素の濃度は、前記ソース領域およびドレイン領域の間における基板濃度の少なくとも5倍に設定されていることを特徴とする半導体装置。

【請求項2】 前記パンチスルーストップ領域は、前記ソース領域およびドレイン領域の接合深さよりも深い位置まで延在することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記パンチスルーストップ領域は、前記半導体基板中に形成されるチャネルの表面から10nm以下の深さに上端が位置するように形成されることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記パンチスルーストップ領域は、10nm以上の幅を有することを特徴とする請求項1～3のうち、いずれか一項記載の半導体装置。

【請求項5】 第1導電型を有し、第2導電型の反転チャネルを有する第1の素子が形成される第1の素子領域と、第2導電型を有し、第1導電型チャネルを有する第2の素子が形成される第2の素子領域とを画成された半導体基板と、

前記第1の素子領域中に、前記半導体基板表面から離間して形成された、より高い不純物濃度を有する第1導電型の第1のウェルと、

前記第2の素子領域中に、前記半導体基板表面から離間して形成された、より高い不純物濃度を有する第2導電型の第2のウェルと、

前記半導体基板上に、前記第1の素子領域に対応して第1のゲート絶縁膜を介して形成された第1のゲート電極と、

前記半導体基板上に、前記第2の素子領域に対応して第2のゲート絶縁膜を介して形成された第2のゲート電極と、

前記半導体基板中、前記第1の素子領域において、前記第1のゲート電極の両側に、前記第1のウェルから離間して形成された第2導電型の第1のソース領域および第1のドレイン領域と、

前記半導体基板中、前記第2の素子領域において、前記第2のゲート電極の両側に、前記第2のウェルから離間して形成された第1導電型の第2のソース領域および第2のドレイン領域と、

前記半導体基板中、前記第1の素子領域において、前記第1のソース領域と前記第1のドレイン領域との間に、前記第1のソース領域および前記第1のドレイン領域から離間して、前記半導体基板の主面に対して垂直な方向に延在するよう形成された、第1導電型の第1のパンチスルーストップ領域と、

前記半導体基板中、前記第2の素子領域において、前記第2のソース領域と前記第2のドレイン領域との間に、前記第2のソース領域と前記第2のドレイン領域から離間して、前記半導体基板の主面に対して垂直な方向に延在するよう形成された、第2導電型の第2のパンチスルーストップ領域とよりなり、

前記第1のパンチスルーストップ領域の下端部は、前記第1のウェルの近傍に到達し、

前記第2のパンチスルーストップ領域の下端部は、前記第2のウェルの近傍に到達することを特徴とするCMOS集積回路装置。

【請求項6】 前記第1のパンチスルーストップ領域の下端部は、前記第1のウェルに到達し、前記第2のパンチスルーストップ領域の下端部は、前記第2のウェルに到達することを特徴とする請求項5記載のCMOS集積回路装置。

【請求項7】 半導体基板表面に、チャネル領域に対応してダミーゲート電極を形成する工程と、

前記ダミーゲート電極パターンをマスクに、前記半導体基板中に第1導電型の不純物元素を導入し、ソース領域およびドレイン領域を形成する工程と、

前記半導体基板表面に、前記ダミーゲート電極を覆うように絶縁膜を形成する工程と、

- 前記絶縁膜を前記ダミーゲート電極が露出するまで研磨する工程と、
- 前記ダミーゲート電極を除去し、前記絶縁膜中に開口部を形成する工程と、
- 前記開口部側壁面に、側壁膜を形成する工程と、
- 前記絶縁膜および前記側壁膜をマスクに、前記半導体基板中に、少なくとも2回、第2導電型の不純物元素を異なった加速電圧でイオン注入し、前記基板面に對して垂直方向に延在するパンチスルーストップを形成する工程とよりなり、
- 前記パンチスルーストップを形成する工程は、前記ソース領域およびドレイン領域を形成する工程よりも後で実行されることを特徴とする半導体装置の製造方法。

【請求項8】 前記パンチスルーストップを形成する工程は、前記第2導電型不純物元素として、BおよびPのいずれか一方を使うことを特徴とする請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に半導体装置に係り、特に短いゲート長を有する超高速半導体装置およびその製造方法に関する。

【0002】

微細化技術の進歩により、今日の超高速半導体装置では0.1 μ mあるいはそれ以下のゲート長が可能になりつつあり、このような超微細化半導体装置を使って超高速動作を実現する試みがなされている。

【0003】

【従来の技術】

一方、このような超微細化半導体装置では、ゲート長を短縮した結果、いわゆる短チャネル効果が現れやすく、またソース領域とドレイン領域との間でキャリアのパンチスルーが生じやすくなっている。

【0004】

このような事情で従来の超微細化半導体装置では、図1に示すように短チャネル効果を抑制するためにポケット注入を行ない、またパンチスルーを抑制するためにチャネルストップ注入が行われている。

[0005]

図1は、ポケット注入領域とチャネルストップ注入領域とを有する従来のpチャネルMOSトランジスタ10の構成を示す。

[0 0 0 6]

図1を参照するに、n型ウェル12が形成されたp型Si基板11上には、STI構造の素子分離領域12Bにより素子領域12Aが画成されており、前記素子領域12A中にはn型不純物元素のイオン注入により、n型チャネルトップ領域12Cが形成されている。

〔0007〕

一方前記素子領域 12A 中、前記 S i 基板 11 上には所定のチャネル領域に対応してゲート絶縁膜 13 を介してゲート電極 14 が形成されており、前記素子領域 12A 中、前記ゲート電極 14 の両側には、ゲート電極 14 の側壁面から前記側壁面上に形成された側壁絶縁膜の分の距離だけ離間して、p+型のソース領域 12S およびドレイン 12D が形成されている。また前記ソース領域 12S およびドレイン領域 12D からは、前記側壁絶縁膜の下をそれぞれ p 型のソースエクステンション領域 12Se およびドレインエクステンション領域 12De が延在し、前記ソースエクステンション領域 12Se の先端部とドレインエクステンション領域 12De の先端部との間にチャネルが形成される。

[0 0 0 8]

さらに前記素子領域12A中には、前記ソースエクステンション領域12Seおよびドレインエクステンション領域12Deを包むように、n型のポケット領域12Pが、チャネルとなる反転層が形成される部分よりも下部において突出するように形成されている。

[0 0 0 9]

かかる構成の p チャネルMOSトランジスタでは、前記チャネル領域の下に n 型チャネルトップ領域 12C が形成されているため、キャリアの前記素子領域

12Aの深部への侵入が抑制され、ソース領域12Sおよびドレイン領域12D間のパンチスルーが抑制される。また前記ソースエクステンション領域12Seおよびドレインエクステンション領域12Deがn型ポケット領域12Pにより包まれているため、MOSトランジスタの動作時にドレイン領域からの空乏層の張り出しが抑制され、ショートチャネル効果が抑制される。その結果、MOSトランジスタのロールオフ特性が向上する。このようなポケット領域12Pは、ゲート電極14をマスクとした斜めイオン注入により形成することができる。

【0010】

同様な構成は、nチャネルMOSトランジスタについても形成できる。

【0011】

一方、このようなポケット注入をおこなったMOSトランジスタでは、ゲート長のさらなる短縮を行う場合、ポケット領域12Pにおける不純物濃度をさらに増大させる必要がある。

【0012】

しかし、このようにポケット領域12Pの不純物濃度を増大させると、ポケット領域12Pを構成する不純物元素がゲート電極14の直下に回りこみ、その結果チャネル表面においても不純物濃度が増大し、キャリアの散乱による移動度の低下に伴う相互コンダクタンスの低下の問題が生じてしまう。

【0013】

また、このようなポケット領域12Pを形成すると、ソースあるいはドレイン領域近傍の基板濃度が増大し、その結果、前記ソース領域12Sあるいはドレイン領域12Dの周囲に形成される空乏層の幅が減少する。これにより、接合容量の増大や接合リーキ電流の増大などの問題が生じてしまう。

【0014】

これに対し、従来より、特開平6-37309号公報に、ゲート電極の周囲から斜めにイオン注入を行ない、チャネル中央部にパンチスルーストップ領域を形成する提案がなされている。

【0015】

図2は、前記提案に係る従来の半導体装置20の構成を示す。

【0016】

図2を参照するに、半導体装置20はnチャネルMOSトランジスタであり、p-型Si基板21上には素子分離膜21Bで画成された素子領域21Aが形成されており、前記素子領域21A上にはゲート絶縁膜22を介してゲート電極23が形成されている。

【0017】

また前記素子領域21A中には前記ゲート電極23の両端部に対応してn-型のLDD領域24Sdおよび24Ddが形成されており、さらに前記ゲート電極23の側壁絶縁膜23Sの外端部に対応して、n+型のソース領域24Sおよびn+型のドレイン領域24Dが形成されている。

【0018】

さらに図2の従来の半導体装置20では、前記素子領域21A中、前記LDD領域24Sdと24Ddとの間にp型領域25が、パンチスルーストップとして形成されている。

【0019】

【発明が解決しようとする課題】

図3は、このような縦長のパンチスルーストップ領域25の形成工程を示す。

【0020】

図3を参照するに、前記Si基板21は前記ゲート電極23を通る軸の回りで回転され、斜めにB+をイオン注入することにより、前記パンチスルーストップ25がイオン注入の重畠部として形成される。

【0021】

このように、図2に示した構造では、前記パンチスルーストップ25は周囲領域よりもB濃度がせいぜい2倍程度までしか増大せず、有効なパンチスルーストップとして機能する保証はない。また図2、3では前記パンチスルーストップ25は基板21の正面に垂直方向に延在するように描画されているが、パンチスルーストップ25の形状は図3のイオン注入工程におけるBの分布により決定されるため、必ずしも基板面に垂直方向に延在する幅のせまい形状にはならない可能性がある。

【0022】

図4は、図2のMOSトランジスタにおいてパンチスルーストッパ22を省略した場合の、基板濃度とオフ電流との関係を、図5は同じMOSトランジスタにおける基板濃度と接合容量との関係を示すデバイスシミュレーション結果である。

【0023】

図4よりわかるようにオフ電流は基板濃度が増大すると共に減少しており、チャネル領域に反転チャネルと逆導電型領域を設けることによるパンチスルーの低減効果を示している。例えば基板濃度を $3 \times 10^{18} \text{ cm}^{-3}$ 以上に増大することにより、オフ電流を約 $1 \times 10^{-9} \text{ A}/\mu\text{m}$ 以下に低減することが可能であるのがわかる。

【0024】

これに対し、図5の関係よりソース領域24Sあるいはドレイン領域24Dにおける接合容量は基板濃度の増大にともなって増加し、例えば接合容量を $3 \times 10^{-15} \text{ F}/\mu\text{m}$ 以下に減少させようとすると、基板濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下に設定する必要があることがわかる。

【0025】

このようにパンチスルーストッパを設けない構造ではパンチスルーの抑制と接合容量の低減は両立させることができず、一方、図1に示すように高濃度のチャネルトップ領域12Cをソース領域12Sとドレイン領域12Dとの間に設ける構成では、接合容量の増大が生じるのが避けられない。また図2に示す構造では、パンチスルーストッパの効果が不十分であると考えられる。

【0026】

そこで、本発明は上記の課題を解決した、新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。

【0027】

本発明のより具体的な課題は、超微細化に適した構造を有し、パンチスルーを効果的に抑制することができる半導体装置およびその製造方法を提供することにある。

【0028】

【課題を解決するための手段】

本発明は上記の課題を、半導体基板と、前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板中、前記ゲート電極の両側に形成された第1導電型のソース領域およびドレイン領域と、前記半導体基板中、前記ソース領域と前記ドレイン領域との間に、前記ソース領域およびドレイン領域から離間して、前記半導体基板の主面に対して垂直な方向に延在するように形成された、第2導電型のパンチスルーストップ領域とよりなり、前記パンチスルーストップ領域中における前記第2導電型不純物元素の濃度は、前記ソース領域およびドレイン領域の間における基板濃度の少なくとも5倍に設定されていることを特徴とする半導体装置により、解決する。

【0029】

本発明によれば、このようにして形成されるパンチスルーストップ領域中における前記第1導電型不純物元素の濃度をソース領域あるいはドレイン領域の間における基板濃度の少なくとも5倍に設定することにより、効果的なパンチスルーストップの抑制が可能になる。また本発明では高い不純物濃度にドープされたパンチスルーストップがソースエクステンション領域あるいはドレインエクステンション領域から離間して形成されるため、接合容量の増加による動作速度の低下あるいは接合リーキ電流の増加の問題を回避することができる。特にパンチスルーストップを、下端がソース領域あるいはドレイン領域の接合深さよりも深くなるように形成することにより、また上端がチャネル表面から10nm以内に位置するように形成することにより、さらに幅が10nm以上になるように形成することにより、パンチスルーストップを効果的に抑制することができる。

【0030】

また本発明は、第1導電型を有し、第2導電型の反転チャネルを有する第1の素子が形成される第1の素子領域と、第2導電型を有し、第1導電型の反転チャネルを有する第2の素子が形成される第2の素子領域とを画成された半導体基板と、前記第1の素子領域中に、前記半導体基板表面から離間して形成された、より高い不純物濃度を有する第1導電型の第1のウェルと、前記第2の素子領域中

に、前記半導体基板表面から離間して形成された、より高い不純物濃度を有する第2導電型の第2のウェルと、前記半導体基板上に、前記第1の素子領域に対応して第1のゲート絶縁膜を介して形成された第1のゲート電極と、前記半導体基板上に、前記第2の素子領域に対応して第2のゲート絶縁膜を介して形成された第2のゲート電極と、前記半導体基板中、前記第1の素子領域において、前記第1のゲート電極の両側に、前記第1のウェルから離間して形成された第2導電型の第1のソース領域および第1のドレイン領域と、前記半導体基板中、前記第2の素子領域において、前記第2のゲート電極の両側に、前記第2のウェルから離間して形成された第1導電型の第2のソース領域および第2のドレイン領域と、前記半導体基板中、前記第1の素子領域において、前記第1のソース領域と前記第1のドレイン領域との間に、前記第1のソース領域および前記第1のドレイン領域から離間して、前記半導体基板の正面に対して垂直な方向に延在するように形成された、第1導電型の第1のパンチスルーストップ領域と、前記半導体基板中、前記第2の素子領域において、前記第2のソース領域と前記第2のドレイン領域との間に、前記第2のソース領域と前記第2のドレイン領域から離間して、前記半導体基板の正面に対して垂直な方向に延在するように形成された、第2導電型の第2のパンチスルーストップ領域となりなり、前記第1のパンチスルーストップ領域の下端部は、前記第1のウェルの近傍に到達し、前記第2のパンチスルーストップ領域の下端部は、前記第2のウェルの近傍に到達することを特徴とするCMOS集積回路装置により、解決する。

【0031】

本発明によれば、CMOS半導体装置を構成するpチャネルMOSトランジスタとnチャネルMOSトランジスタにおいて、それぞれのパンチスルーストップ領域を、それぞれの素子領域下方に形成されたウェル近傍に到達するように、あるいはウェル自体に到達するように形成することにより、寄生ラテラルバイポーラトランジスタが関与するCMOSラッチアップ現象を効果的に抑制することが可能になる。

【0032】

さらに本発明は上記の課題を、半導体基板表面に、チャネル領域に対応してダ

ミーゲート電極を形成する工程と、前記ダミーゲート電極パターンをマスクに、前記半導体基板中に第1導電型の不純物元素を導入し、ソース領域およびドレイン領域を形成する工程と、前記半導体基板表面に、前記ダミーゲート電極を覆うように絶縁膜を形成する工程と、前記絶縁膜を前記ダミーゲート電極が露出するまで研磨する工程と、前記ダミーゲート電極を除去し、前記絶縁膜中に開口部を形成する工程と、前記開口部側壁面に、側壁膜を形成する工程と、前記絶縁膜および前記側壁膜をマスクに、前記半導体基板中に、少なくとも2回、第2導電型の不純物元素を異なった加速電圧でイオン注入し、前記基板面に対して垂直方向に延在するパンチスルーストップを形成する工程によりなり、前記パンチスルーストップを形成する工程は、前記ソース領域およびドレイン領域を形成する工程よりも後で実行されることを特徴とする半導体装置の製造方法により、解決する。

【0033】

本発明によれば、ダミーゲート電極を使ってソースおよびドレイン領域を形成した後で、自己整合マスクを使ってイオン注入を、加速電圧を変えながら複数回繰り返すことにより、所望のパンチスルーストップを、基板正面に対して垂直方向に限られた幅で延在する高濃度注入領域の形に形成することが可能になる。特にp型ドーパントを使う場合にはBを、n型ドーパントを使う場合にはPを使うことにより、側方へのドーパントの拡散が少ない高濃度注入領域を形成することが可能になる。

【0034】

図6は本発明の原理を示す。

【0035】

図6を参照するに、例えば半導体装置がnチャネルMOSトランジスタの場合、p型のSi基板31上にはゲート絶縁膜32を介してゲート電極33が形成されており、前記Si基板31中には前記ゲート電極33の両側にn型拡散領域が、それぞれソース領域31Sおよびドレイン領域31Dとして形成されている。また前記ソース領域31Sの先端部にはn型のソースエクステンション領域31Seが、またドレイン領域31Dの先端部にはn型のドレインエクステンション

31Deが形成されている。図6ではポケット拡散領域の表示は省略している。

【0036】

図6のMOSトランジスタでは、ゲート電極33はゲート長GLを有し、ソース領域31S、ドレイン領域31Dは接合深さSDで形成されている。また前記ソースエクステンション領域31Seとドレインエクステンション領域31Deとの間には、実効チャネル長GLEが形成されている。

【0037】

図6のMOSトランジスタでは、さらに前記ゲート電極直下の部分にはゲート長方向に長さLを有する縦長のp型領域34がパンチスルーストッパとして形成されており、前記パンチスルーストッパは前記基板31中に、上端部が基板表面から測った位置Tを、下端部が前記基板表面から測った位置Bを有するように形成される。

【0038】

図7は、図6のMOSトランジスタにおいて、ゲート長GLおよび実効ゲート長GLEを50nm, ソース、ドレイン接合深さSDを60nmおよび100nm, パンチスルーストッパ領域34の上端位置Tを5nm、パンチスルーストッパ領域34の長さLを10nmとして、前記パンチスルーストッパ領域34の下端位置Bを様々に変化させた場合の、オフ電流を示す。ただし基板31の不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$, パンチスルーストッパ34中における不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ に設定されている。

【0039】

図7を参照するに、ソース、ドレイン接合深さSDが60nmの場合には、前記パンチスルーストッパ領域34の下端位置Bが前記接合深さSDよりも浅く、40nmである場合、約 $3.3 \times 10^{-8} \text{ A}/\mu\text{m}$ のオフ電流が観測されたのに対し、前記下端位置Bを前記接合深さSDと同じ60nmとした場合、オフ電流は $4.5 \times 10^{-9} \text{ A}/\mu\text{m}$ 以下に減少するのが確認された。

【0040】

同様に、ソース、ドレイン接合深さSDが100nmの場合には、前記パンチスルーストッパ領域34の下端位置Bが前記接合深さSDよりも浅く、60nm

である場合、約 $2.8 \times 10^{-8} \text{ A}/\mu\text{m}$ のオフ電流が観測されたのに対し、前記下端位置 B を前記接合深さ SD と同じ 100 nm とした場合、オフ電流は $4.5 \times 10^{-9} \text{ A}/\mu\text{m}$ 以下に減少するのが確認された。

【0041】

図7の結果は、このようにして形成したパンチスルーストップ34が、下端部の位置がソース・ドレイン領域31Sあるいは31Dの接合深さSDよりも深くなるように形成された場合、ソース領域31Sとドレイン領域31Dとの間のパンチスルーを効果的に抑制できることを示している。

【0042】

図8は、図6のMOSトランジスタにおいて、ゲート長GLおよび実効ゲート長GLEを 50 nm 、基板不純物濃度を $1 \times 10^{16} \text{ cm}^{-3}$ 、パンチスルーストップ34中の不純物濃度を $1 \times 10^{19} \text{ cm}^{-3}$ 、パンチスルーストップ34の長さLを 10 nm 、また下端部の深さBを 100 nm とした場合に、前記パンチスルーストップ34の上端部の深さTを様々に変化させた場合のDIBL (drain-induced barrier lowering) を示す。ただしDIBLはドレイン電圧が 50 mV の場合の閾値電圧値とドレイン電圧が 1 V の場合の閾値電圧値との差を表す。

【0043】

図8を参照するに、前記パンチスルーストップ34の上端部の深さTが深い場合、DIBLの値が大きくなり、短チャネル効果が顕著になるのに対し、前記深さBが 10 nm 以下だと閾値特性が殆ど変化しなくなるのがわかる。ただし前記パンチスルーストップ34が前記基板31の表面まで到達していると、チャネルが遮断されてしまい、相互コンダクタンス低下の問題が生じると考えられる。

【0044】

次に図9は、図6のMOSトランジスタにおいて、ゲート長GLおよび実効ゲート長GLEを 50 nm 、基板不純物濃度を $1 \times 10^{16} \text{ cm}^{-3}$ 、パンチスルーストップ34中の不純物濃度を $1 \times 10^{19} \text{ cm}^{-3}$ 、パンチスルーストップ34上端部の深さTを 5 nm 、下端部の深さBを 100 nm とした場合に、前記パンチスルーストップ34の長さLを様々に変化させた場合のオフ電流の値を示す。

【0045】

図9を参照するに、オフ電流の値は前記パンチスルーストップ34のゲート長方向への長さLが7nmよりも短くなると急増し、前記パンチスルーストップ34の効果が失われることがわかる。

【0046】

次に図10は、図6のMOSトランジスタにおいて、ゲート長GLおよび実効ゲート長GLEを50nm、パンチスルーストップ34上端部の深さTを5nm、下端部の深さBを100nm、パンチスルーストップ34の長さLを10nmとした場合に、前記基板濃度に対するパンチスルーストップ34の不純物濃度比rを様々に変化させた場合の接合容量の値を示す。また図11は、図10の各点①～⑤に対応する、パンチスルーストップ34中の不純物濃度と基板濃度の値を示す。

【0047】

図10を参照するに、前記不純物濃度比rが5以下では接合容量は 4×10^{-15} F/ μ m以上の値を有するのに対し、不純物濃度比rの値が5（点④）を超えると接合容量は急減することがわかる。

【0048】

図7～11の結果より、図6のパンチスルーストップ34が有効に機能するためには、前記パンチスルーストップ34の下端部の深さBはソース・ドレイン領域の接合深さSDと同じかそれ以上であり、上端部の深さTは10nm以下であり、チャネル長方向への長さLは7nm以上であり、さらに基板濃度に対する濃度比rが5倍以上であることが必要であることがわかる。

【0049】

【発明の実施の形態】

【第1実施例】

図12は、本発明の第1実施例によるCMOS集積回路装置40の構成を示す。

【0050】

図12を参照するに、p型Si基板41上にはp型チャネルを有するpMOSトランジスタなどpチャネル素子の素子領域40Aとn型チャネルを有するnM

OSトランジスタなどnチャネル素子の素子領域40Bとが、STI構造の素子分離構造42により画成されており、前記素子領域40Aにはn型ウェル41Aが、また素子領域40Bにはp型ウェル41Bが形成されている。

【0051】

前記素子領域40Aにおいて前記n型ウェル41Aの上端部は前記STI構造42の下端部に対応する深さに形成されており、前記n型ウェル41Aの上部には、例えば先の図11の点④に対応してn型不純物濃度が $1.5 \times 10^{18} \text{ cm}^{-3}$ 以下のn型チャネル領域41aが形成されている。一方、前記ソース・ドレイン領域41S, 41D近傍においては、前記n型ウェル41Aの濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下に設定されている。

【0052】

同様に、前記素子領域40Bにおいても前記p型ウェル41Bの上端部は前記STI構造42の下端部に対応する深さに形成されており、さらに前記p型ウェル41Bの上部には、例えば先の図11の点④に対応してp型不純物濃度が $1.5 \times 10^{18} \text{ cm}^{-3}$ 以下のp型チャネル領域41bが形成されている。一方、前記ソース・ドレイン領域51S, 51D近傍においては、前記n型ウェル41Bの濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下に設定されている。

【0053】

前記n型チャネル領域41a上にはゲート絶縁膜43Aを介して例えばゲート長が約50nmのゲート電極44Aが、前記n型チャネル領域41a中に形成されるp型チャネルに対応して形成されており、また前記p型チャネル領域41b上にはゲート絶縁膜43Bを介してゲート長が同様に約50nmのゲート電極44Bが、前記p型チャネル領域41b中に形成されるn型チャネルに形成されている。

【0054】

さらに前記n型チャネル領域41a中には前記ゲート電極44AをマスクにBのイオン注入によりソースエクステンション領域41Seおよびドレインエクステンション領域41Deが、また前記ゲート電極44Aおよびその側壁絶縁膜をマスクとしたBのイオン注入によりソース領域41Sおよびドレイン領域41D

が、それぞれ前記ソースエクステンション領域41Seおよびドレインエクステンション領域41Deの外側に形成される。

【0055】

同様に、前記p型チャネル領域41b中には前記ゲート電極44BをマスクにA'sのイオン注入によりソースエクステンション領域51Seおよびドレインエクステンション領域51Deが、また前記ゲート電極44Bおよびその側壁絶縁膜をマスクとしたPのイオン注入によりソース領域51Sおよびドレイン領域51Dが、それぞれ前記ソースエクステンション領域51Seおよびドレインエクステンション領域51Deの外側に形成される。

【0056】

さらに前記CMOS集積回路では、前記n型チャネル領域41a中、前記ソースエクステンション領域41Seとドレインエクステンション領域41Deとの間にn型パンチスルーストッパ領域41Pが、前記基板41の主面に略垂直方向に延在するように形成されており、また前記p型チャネル領域41b中、前記ソースエクステンション領域51Seとドレインエクステンション領域51Deとの間にp型パンチスルーストッパ領域51Pが、前記基板41の主面に略垂直方向に延在するように形成されている。

【0057】

その際、前記パンチスルーストッパ41Pは、先の図7の結果に鑑み、下端部が前記ソース領域41Sあるいはドレイン領域41Dの接合深さよりも深くなるように、また前記パンチスルーストッパ51Pは、下端部が前記ソース領域51Sあるいはドレイン領域51Dの接合深さよりも深くなるように形成されるのが好ましい。また前記パンチスルーストッパ41Pおよび51Pは、先の図8の結果に鑑み、その上端部がチャネルの上端を画成する基板表面から測って10nm以下、好ましくは5nm以下の深さに位置するように形成されるのが好ましい。さらに前記パンチスルーストッパ41Pおよび51Pは、先の図9の結果に鑑み、ゲート長方向に測った長さが7nm以上、好ましくは10nm以上になるよう、形成されるのが好ましい。

【0058】

さらに前記n型パンチスルーストップ41Pは、先の図10の結果に鑑み、前記n型チャネル領域41aの不純物濃度に対するn型不純物の濃度比が5倍以上、好ましくは10倍以上になるように形成されるのが好ましく、また前記p型パンチスルーストップ51Pも、前記p型チャネル領域41bの不純物濃度に対するp型不純物の濃度比が5倍以上、好ましくは10倍以上になるように形成されるのが好ましい。またその際、前記n型領域41aおよびp型領域41bの不純物濃度は、先の図11の結果に鑑み、約 $1.5 \times 10^{18} \text{ cm}^{-3}$ 以下に抑制するのが好ましい。

【0059】

かかる構成により、図12のCMOS集積回路装置40ではpチャネルMOSトランジスタおよびnチャネルMOSトランジスタのいずれにおいてもパンチスルーハーが効果的に抑制され、同時にソース・ドレイン領域の接合容量を最小化することが可能になる。

【0060】

次に図12のCMOS集積回路装置40の製造工程を、図13(A)～図19(M)を参照しながら説明する。

【0061】

図13(A)を参照するに、シリコン酸化膜42Aを形成された前記Si基板41上には前記pチャネル素子領域40Aを覆うようにレジストパターンR1が形成され、前記レジストパターンR1をマスクに前記シリコン酸化膜42Aを介して前記Si基板41中にB+をイオン注入することにより、前記nチャネル素子領域40B中にp型チャネル領域41bと、その下のp型ウェル41Bとが、それぞれ例えば $1 \times 10^{16} \text{ cm}^{-3}$ および $5 \times 10^{17} \text{ cm}^{-3}$ の不純物濃度で形成される。

【0062】

次に図13(B)の工程において前記Si基板41上に前記nチャネル素子領域40Bを覆うようにレジストパターンR2が形成され、前記レジストパターンR2をマスクに前記シリコン酸化膜42Aを介して前記Si基板41中にB+をイオン注入することにより、前記pチャネル素子領域40A中にn型チャネル

領域4 1 aと、その下のn型ウェル4 1 Aとが、それぞれ例えば $1 \times 10^{16} \text{ cm}^{-3}$ および $5 \times 10^{17} \text{ cm}^{-3}$ の不純物濃度で形成される。

【0063】

次に図14 (C) の工程において前記レジストパターンR 2が除去され、さらに前記S i 基板4 1 表面のシリコン酸化膜4 2 Aが除去される。

【0064】

図14 (C) の工程ではさらに露出されたシリコン基板表面にシリコン窒化膜あるいはシリコン酸窒化膜などの高誘電体絶縁膜がそれぞれpチャネル素子領域4 0 Aにおいてはゲート絶縁膜4 3 Aとして、またnチャネル素子領域4 0 Bにおいてはゲート絶縁膜4 3 Bとして形成され、前記ゲート絶縁膜4 3 A上にはポリシリコンなどよりなるダミーゲート電極パターン5 4 Aが、また前記ゲート絶縁膜4 3 B上には同様なダミーゲート電極パターン5 4 Bが、形成したい実際のゲート電極パターンに対応して形成される。

【0065】

次に図15 (D) の工程において図14 (C) の構造上、前記素子領域4 0 AをレジストパターンR 3により覆い、前記素子領域4 0 Bにおいて前記ダミーゲート電極5 4 Bを自己整合マスクにA s +をイオン注入することにより、前記p型領域4 1 b中に、ソースエクステンション領域5 1 S e およびドレインエクステンション領域5 1 D eとなるn型拡散領域を、例えば約30 nmの接合深さに形成する。

【0066】

同様に図15 (E) の工程において図14 (C) の構造上、前記素子領域4 0 BをレジストパターンR 4により覆い、前記素子領域4 0 Aにおいて前記ダミーゲート電極5 4 Aを自己整合マスクにB +をイオン注入することにより前記n型領域4 1 a中に、ソースエクステンション領域4 1 S e およびドレインエクステンション領域4 1 D eとなるp型拡散領域を、例えば約30 nmの接合深さに形成する。

【0067】

次に図16 (F) の工程において図15 (E) の構造上に前記レジストパー

ンR4を除去した後、 SiO_2 などの絶縁膜55をCVD法により、一様な厚さに形成する。

【0068】

さらに図16(G)の工程において前記絶縁膜55をエッチバックすることにより、前記ダミーゲート電極54Aの側壁面に側壁絶縁膜54aを、また前記ダミーゲート電極54Bの側壁面に側壁絶縁膜54bを形成する。

【0069】

さらに図17(H)の工程において図16(G)の構造上に前記素子領域40Aを覆うようにレジストパターンR5を形成し、前記素子領域40B中にP+を、前記ダミーゲート電極54Bおよび側壁絶縁膜54bをマスクにイオン注入することにより、前記p型チャネル領域41b中、前記側壁絶縁膜54bの外側に、n+型ソース領域51Sおよびドレイン領域51Dが、約60nmあるいは100nmの接合深さに形成される。

【0070】

同様に図17(I)の工程において図17(H)の構造上に前記レジストパターンR5を除去した後、前記素子領域40Bを覆うようにレジストパターンR6を形成し、前記素子領域40A中にB+を、前記ダミーゲート電極54Aおよび側壁絶縁膜54aをマスクにイオン注入することにより、前記n型チャネル領域41a中、前記側壁絶縁膜54aの外側に、n+型ソース領域41Sおよびドレイン領域41Dが、約60nmあるいは100nmの接合深さに形成される。

【0071】

次に図18(J)の工程において前記レジストパターンR6を除去し、さらに前記ダミーゲート電極54A, 54Bを覆うように前記Si基板41上に SiO_2 膜をCVD法により堆積する。さらにこのようにして堆積した SiO_2 膜を前記ダミーゲート電極54A, 54BをストップにCMP法により研磨することにより、前記Si基板41上に、前記ダミーゲート電極54A, 54Bを表面において露出する絶縁膜55を形成する。

【0072】

さらに図18(K)の工程において前記ダミーゲート電極54A, 54Bを除

去し、さらにその結果前記絶縁膜55中に形成される凹部55A, 55Bを充填するように、前記SiO₂膜55上にSiN膜を堆積し、さらにこれをエッチバックすることにより、前記凹部55Aの側壁面に沿って側壁絶縁膜56Aを、また前記凹部55Bの側壁面に沿って側壁絶縁膜56Bを形成する。

【0073】

さらに図19(L)の工程において前記素子領域40AをレジストパターンR7で保護し、前記素子領域40B中にB+を、加速電圧を変化させながら複数回イオン注入を行うことにより導入する。

【0074】

さらに図19(M)の工程において前記素子領域40BをレジストパターンR8で保護し、前記素子領域40A中にP+を、加速電圧を変えながら複数回イオン注入することにより導入する。

【0075】

さらに図19(M)の構造に対し、前記レジストパターンR8を除去した後、熱処理を行うことにより、前記素子領域40Aにおいては前記n型チャネル領域41a中に前記パンチスルーストップ41Pが、また前記素子領域40Bにおいては前記p型チャネル領域41b中にパンチスルーストップ51Pが形成される。

【0076】

図19(M)の工程の後、前記凹部55A, 55Bにおいて前記側壁絶縁膜56A, 56Bは除去され、さらに改めてポリシリコンにより充填することにより、先に図12で示したCMOS集積回路装置40が得られる。

【0077】

図20は、図19(L)のイオン注入工程による、前記p型チャネル領域41b中におけるパンチスルーストップ51Pの形成の様子を示す。ただし図20は、B+を最初は4keVの加速電圧下、 $2 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で、続いて8keVの加速電圧下、 $4 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入し、さらに1025°Cで0.1秒間熱処理した場合の前記p型チャネル領域41b中におけるB原子の分布を示す。

【0078】

図20よりわかるように、このようにして形成されたp型パンチスルーストップパ51Pは、前記側壁膜56Bが画成するマスク開口部の幅に実質的に等しい長さLを有し、Si基板41の正面に対して垂直な方向に制御された形状で延在しているのがわかる。

【0079】

図21は、図20のパンチスルーストップパ51Pの、基板面に平行な面内でのB原子の分布を示す。

【0080】

図21を参照するに、前記パンチスルーストップパ51Pでは中心部において $1 \times 10^{19} \text{ cm}^{-3}$ に近いB濃度が実現されている一方、中心から25nm離れた位置ではB濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度まで低下しており、中心部と周辺部とで少なくとも7~8倍の濃度比が実現されているのがわかる。

【0081】

図22は、図19(M)のイオン注入工程による、前記p型チャネル領域41b中におけるパンチスルーストップパ51Pの形成を、Asを使って行った場合の様子を示す。ただし図22は、As+を最初は100keVの加速電圧下、 $5 \times 10^{13} \text{ cm}^{-2}$ のドーザ量で、続いて200keVの加速電圧下、 $1 \times 10^{14} \text{ cm}^{-2}$ のドーザ量でイオン注入し、さらに1025°Cで0.1秒間熱処理した場合の前記n型領域41a中におけるAs原子の分布を示す。

【0082】

図22よりわかるように、このようにして形成されたn型パンチスルーストップパ41Pは、基板中に侵入する深さがわずかで、一方顕著な横方向へのAs原子の拡散が生じており、所望の基板面に垂直方向に延在する制御された形状は実現されていないことがわかる。

【0083】

図23は、図22のパンチスルーストップパ41Pの、基板面に平行な面内でのAs原子の分布を示す。

【0084】

図23を参照するに、前記パンチスルーストップ41Pでは中心部においても周辺部においても $4 \sim 6 \times 10^{18} \text{ cm}^{-3}$ のAs濃度となっているのがわかる。

【0085】

図22, 23の結果は、図19(M)のイオン注入工程においてAsを使うのは好ましくないことを示している。

【0086】

これに対し、図24は図19(M)のイオン注入工程においてPを注入イオン種として使い、最初は10keVの加速電圧下、 $5 \times 10^{13} \text{ cm}^{-2}$ のドーザ量で、続いて30keVの加速電圧下、 $2 \times 10^{14} \text{ cm}^{-2}$ のドーザ量でイオン注入を行った場合のパンチスルーストップ41P内におけるPの分布を示す。

【0087】

図24よりわかるように、このようにして形成されたn型パンチスルーストップ41Pは、前記側壁膜56Aが画成するマスク開口部の幅に実質的に等しい長さLを有し、前記p型パンチスルーストップ51Pと同様に、前記Si基板41の主面に対して垂直な方向に制御された形状で延在しているのがわかる。

【0088】

図25は、図24のパンチスルーストップ41Pの、基板面に平行な面内でのP原子の分布を示す。

【0089】

図25を参照するに、前記パンチスルーストップ41Pでは中心部において約 $6 \times 10^{18} \text{ cm}^{-3}$ のP濃度が実現されている一方、中心から25nm離れた位置ではP濃度は約 $3 \times 10^{17} \text{ cm}^{-3}$ 程度まで低下しており、中心部と周辺部とで10倍以上、少なくとも20倍の濃度比が実現されているのがわかる。

【0090】

このように、図19(L)の工程においてBをイオン注入し、図19(M)の工程においてPをイオン注入し、その際イオン注入を複数回、加速電圧を変化させながら行うことにより、先に図7～11で説明した条件を満足するパンチスルーストップを形成することが可能になる。

【0091】

図26 (A), (B) は、図18 (K) の構造に対応したそれぞれ平面図および断面図である。

【0092】

図26 (A), (B) を参照するに、前記凹部55Aあるいは55Bは前記素子分離構造42により画成された素子領域41aあるいは41bの幅を超える幅Wにわたり延在し、その結果、図19 (L) あるいは図19 (M) の工程でパンチスルーストッパ41Pあるいは51P形成のために実行されるイオン注入は、前記素子領域41aあるいは41bの全幅にわたり形成される。その結果、かかる半導体素子では、素子領域の周辺部を経路とするパンチスルーが生じることはない。

【第2実施例】

図27は、本発明の第2実施例によるCMOS集積回路装置60の構成を示す。ただし図27中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0093】

図27を参照するに、本実施例では前記素子領域40Aにおいて前記パンチスルーストッパ41Pが、下端が前記n型ウェル41Aに到達するように、また前記素子領域40Bにおいて前記パンチスルーストッパ51Pが、下端が前記n型ウェル41Bに到達するように形成されている。

【0094】

また前記CMOS集積回路装置60では、前記n型チャネル領域41aに基板表面に、前記ゲート電極44Aに対応してチャネルドープ領域41cが形成されている。同様に前記p型チャネル領域41bにおいては基板表面に、前記ゲート電極44Bに対応してチャネルドープ領域41dが形成されている。前記チャネルドープ領域41cおよび41dを形成することにより、素子領域40Aに形成されるpチャネルMOSトランジスタおよび素子領域40Bに形成されるnチャネルMOSトランジスタの閾値制御がなされる。

【0095】

さらに前記CMOS集積回路装置60では、前記チャネル領域41a中、前記ソースエクステンション領域41Seおよびドレインエクステンション領域41Deに、As+の斜めイオン注入により、n型ポケット領域41pが、前記ソースエクステンション領域41Seおよびドレインエクステンション領域41De下部からの延出部として形成される。同様に、前記チャネル領域41b中、前記ソースエクステンション領域51Seおよびドレインエクステンション領域51Deに、B+の斜めイオン注入により、p型ポケット領域51pが、前記ソースエクステンション領域51Seおよびドレインエクステンション領域51De下部からの延出部として形成される。このようなポケット領域41Pおよび51Pを形成することにより、短チャネル効果が抑制される。

【0096】

本実施例では先の実施例と同様、前記パンチスルーストッパ41Pが素子領域40Aにおいてn型ウェル40Aに到達するように形成されており、また前記パンチスルーストッパ51Pが素子領域40Bにおいてp型ウェル40Bに到達するように形成されているため、前記n型のチャネル領域41a中においてp型ソース領域41Sの側とp型ドレイン領域41Dの側とを結ぶ電流路が遮断される。同様に、前記p型のチャネル領域41b中においてn型ソース領域51Sの側とn型ドレイン領域51Dが形成された側とを結ぶ電流路が遮断される。その結果、前記素子領域40Aにおいてチャネル領域41aおよびソース領域41S、ドレイン領域41Dにより形成されるラテラルバイポーラトランジスタがターンオンするのが抑制され、また素子領域40Bにおいてもチャネル領域41bおよびソース領域51S、ドレイン領域51Dがターンオンするのが抑制される。これにより、これらのラテラルバイポーラトランジスタが関与するCMOS回路のラッチアップが効果的に抑制される。

【0097】

なお、本実施例では前記パンチスルーストッパ41Pが前記n型ウェル41Aに到達し、また前記パンチスルーストッパ41Bが前記p型ウェル41Bに到達するように説明したが、厳密にそうである必要はなく、前記パンチスルーストッパ41Pの下端が前記n型ウェル41Aの十分に近傍に到達し、また前記パンチ

スルーストップ51Pの下端が前記p型ウェル41Bの十分に近傍に到達している場合でも、同様な効果を得ることができる。

【0098】

なお、本実施例においても先の実施例と同様に、パンチスルーストップ41あるいは51の上端部の深さTを10nm以下とし、長さLを10nm以上とし、さらに基板濃度比を5倍以上とすることにより、接合容量を減少させることができなり、超高速で動作するCMOS集積回路装置が得られる。

[第3実施例]

次に本発明の第3実施例によるCMOS集積回路装置の製造方法について、図28(A)～図31(I)を参照しながら説明する。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0099】

本実施例では先の図28(A)の工程において先の図18(K)の構造を形成し、図28(B)の工程において前記SiO₂膜55および側壁膜56A, 56Bをマスクに前記Si基板41をドライエッティングし、前記チャネル領域41a中に溝41Qを、また前記チャネル領域41b中に溝51Qを、それぞれ前記ソース領域41Sあるいはドレイン領域41Dの接合深さよりも深く、また前記ソース領域51Sあるいはドレイン領域51Dの接合深さよりも深く、好ましくは前記n型ウェル41Aあるいはp型ウェル41Bに到達するように形成する。

【0100】

次に図29(C)の工程において前記素子領域40Aに対応して前記絶縁膜55上に例えば有機溶剤などの絶縁膜パターン71Aを、前記絶縁膜パターン71が前記溝41Qを充填するように形成する。

【0101】

さらに図29(C)の状態において前記素子領域40Bにおいて前記溝51Q中にp型のSi領域72Bをエピタキシャルに再成長させ、さらに図29(D)の工程において前記Si領域72Bを若干エッティングし、前記p型パンチスルーストップ51Pを形成する。

【0102】

さらに図29(E)の工程において前記パンチスルーストップ41Pの表面にゲート絶縁膜43Bの一部を構成するゲート絶縁膜を熱酸化処理により形成する。

【0103】

同様に図30(F)の工程において前記絶縁膜パターン71Aを除去し、前記素子領域40Bに対応して前記絶縁膜55上に例えば有機溶剤などの絶縁膜パターン71Bを形成する。

【0104】

さらに図30(F)の状態において前記素子領域40Aにおいて前記溝41Q中にn型のSi領域72Aをエピタキシャルに再成長させ、さらに図30(G)の工程において前記Si領域72Aを若干エッチングし、前記p型パンチスルーストップ41Pを形成する。

【0105】

さらに図30(H)の工程において前記パンチスルーストップ41Pの表面にゲート絶縁膜43Aの一部を構成するゲート絶縁膜を熱酸化処理により形成する。

【0106】

さらに図31(I)の工程において前記絶縁膜パターン71Bを除去し、さらに前記側壁絶縁膜56A, 56Bを除去する。さらにこのようにして前記絶縁膜55中に形成された凹部中にゲート電極44Aおよび44Bを、それぞれ素子領域40Aおよび40Bに対応して形成する。

【0107】

本実施例によれば、前記パンチスルーストップ41P, 51Pをイオン注入によらず、選択再成長工程により、制御性良く形成することが可能になる。

【第4実施例】

図32は、本発明の第4実施例によるMOSトランジスタ80の構成を示す。

【0108】

図32を参照するに、MOSトランジスタ80は例えばp型Si基板81上に形成されており、前記Si基板81上に形成されたp型ウェル82と、前記p型ウェル82上に形成されチャネル領域として使われるp-型層83とを含み、さらに前記チャネル領域83の上部にはソースあるいはドレイン領域として使われるn+型の拡散領域83Sが形成されている。

【0109】

前記Si基板81上にはさらに前記チャネル領域83中に、前記拡散領域83Sを切るように溝83Gが形成されており、前記溝83の底面にはソース領域あるいはドレイン領域として使われるn+型拡散領域83Dが形成されている。

【0110】

さらに前記溝83Gの表面には熱酸化膜84がゲート絶縁膜として形成されており、前記ゲート絶縁膜84上にはゲート電極85が、前記溝83Gを埋めるように形成されている。その結果、前記素子領域83中には、垂直方向に延在するチャネル領域を有するnチャネル型MOSトランジスタが形成されるのがわかる。

【0111】

図32のMOSトランジスタ80では、前記溝83Gの表面に沿って前記ソース領域83Sとドレイン領域83Dとの間にチャネルが形成されるが、本実施例では前記チャネル層83中にp型層86がパンチスルーストップとして形成されている。

【0112】

本実施例の構成では、パンチスルーストップ86を前記チャネル層83の成長の際にエピタキシャル成長により形成することができるため、不純物分布が理想的に制御された効果的なパンチスルーストップを形成することが可能になる。

【0113】

また本実施例において、導電型を反転させることによりpチャネルMOSトランジスタを形成できるのは明らかである。

【0114】

以上、本発明を好ましい実施例について説明したが、本発明は上記の実施例に

限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0115】

(付記1) 半導体基板と、

前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、

前記半導体基板中、前記ゲート電極の両側に形成された第1導電型のソース領域およびドレイン領域と、

前記半導体基板中、前記ソース領域と前記ドレイン領域との間に、前記ソース領域およびドレイン領域から離間して、前記半導体基板の正面に対して垂直な方向に延在するように形成された、第2導電型のパンチスルーストップ領域となり、

前記パンチスルーストップ領域中における前記第2導電型不純物元素の濃度は、前記ソース領域およびドレイン領域の間における基板濃度の少なくとも5倍に設定されていることを特徴とする半導体装置。

【0116】

(付記2) 前記パンチスルーストップ領域は、前記ソース領域およびドレイン領域の接合深さよりも深い位置まで延在することを特徴とする付記1記載の半導体装置。

【0117】

(付記3) 前記パンチスルーストップ領域は、前記半導体基板中に形成されるチャネルの表面から10nm以下の深さに上端が位置するように形成されることを特徴とする付記1または2記載の半導体装置。

【0118】

(付記4) 前記パンチスルーストップ領域は、10nm以上の幅を有することを特徴とする付記1～3のうち、いずれか一項記載の半導体装置。

【0119】

(付記5) 前記半導体基板中、前記ソース領域および前記ドレイン領域の下部には、前記ソース領域およびドレイン領域から離間して前記第2導電型のウェルが形成されており、前記ソース領域およびドレイン領域は、前記ウェルの上方

において、前記基板濃度を有する第2導電型の素子領域中に形成されており、前記素子領域は、前記ウェルよりも低い不純物濃度を前記基板濃度として有することを特徴とする付記1～4のうち、いずれか一項記載の半導体装置。

【0120】

(付記6) 前記パンチスルーストップ領域は、下端が前記ウェル近傍に位置するように形成されていることを特徴とする付記1～5のうち、いずれか一項記載の半導体装置。

【0121】

(付記7) 前記パンチスルーストップ領域は、下端が前記ウェルに到達するように形成されていることを特徴とする付記1～5のうち、いずれか一項記載の半導体装置。

【0122】

(付記8) 前記ソース領域は、前記半導体基板表面に沿って前記ドレイン領域の方向に延在する第1のエクステンション部をその表面部分に有し、前記ドレイン領域は、前記半導体基板表面に沿って前記ソース領域の方向に延在する第2のエクステンション部をその表面部分に有し、前記第1のエクステンション部は、前記第1のエクステンション領域の下部が前記第2のエクステンション部に向かって延出する第1のポケット領域を形成し、前記第2のエクステンション部は、前記第2のエクステンション領域の下部が前記第1のエクステンション部に向かって延出する第2のポケット領域を形成することを特徴とする付記1～7のうち、いずれか一項記載の半導体装置。

【0123】

(付記9) 前記半導体装置は、0.1μm以下のゲート長を有することを特徴とする付記1～8のうち、いずれか一項記載の半導体装置。

【0124】

(付記10) 前記パンチスルーストップ領域はBあるいはPによりドープされていることを特徴とする付記1～9のうち、いずれか一項記載の半導体装置。

【0125】

(付記11) 第1導電型を有し、第2導電型の反転チャネルを有する第1の

素子が形成される第1の素子領域と、第2導電型を有し、第1導電型の反転チャネルを有する第2の素子が形成される第2の素子領域とを画成された半導体基板と、

前記第1の素子領域中に、前記半導体基板表面から離間して形成された、より高い不純物濃度を有する第1導電型の第1のウェルと、

前記第2の素子領域中に、前記半導体基板表面から離間して形成された、より高い不純物濃度を有する第2導電型の第2のウェルと、

前記半導体基板上に、前記第1の素子領域に対応して第1のゲート絶縁膜を介して形成された第1のゲート電極と、

前記半導体基板上に、前記第2の素子領域に対応して第2のゲート絶縁膜を介して形成された第2のゲート電極と、

前記半導体基板中、前記第1の素子領域において、前記第1のゲート電極の両側に、前記第1のウェルから離間して形成された第2導電型の第1のソース領域および第1のドレイン領域と、

前記半導体基板中、前記第2の素子領域において、前記第2のゲート電極の両側に、前記第2のウェルから離間して形成された第1導電型の第2のソース領域および第2のドレイン領域と、

前記半導体基板中、前記第1の素子領域において、前記第1のソース領域と前記第1のドレイン領域との間に、前記第1のソース領域および前記第1のドレイン領域から離間して、前記半導体基板の主面に対して垂直な方向に延在するよう形成された、第1導電型の第1のパンチスルーストップ領域と、

前記半導体基板中、前記第2の素子領域において、前記第2のソース領域と前記第2のドレイン領域との間に、前記第2のソース領域と前記第2のドレイン領域から離間して、前記半導体基板の主面に対して垂直な方向に延在するよう形成された、第2導電型の第2のパンチスルーストップ領域となりなり、

前記第1のパンチスルーストップ領域の下端部は、前記第1のウェルの近傍に到達し、

前記第2のパンチスルーストップ領域の下端部は、前記第2のウェルの近傍に到達することを特徴とするCMOS集積回路装置。

【0126】

(付記12) 前記第1のパンチスルーストップ領域の下端部は、前記第1のウェルに到達し、前記第2のパンチスルーストップ領域の下端部は、前記第2のウェルに到達することを特徴とする請求項11記載のCMOS集積回路装置。

【0127】

(付記13) 前記第1のソース領域は、前記半導体基板表面に沿って前記第1のドレイン領域の方向に延在する第1のエクステンション部をその表面部分に有し、前記第1のドレイン領域は、前記半導体基板表面に沿って前記第1のソース領域の方向に延在する第2のエクステンション部をその表面部分に有し、前記第2のソース領域は、前記半導体基板表面に沿って前記第2のドレイン領域の方向に延在する第3のエクステンション部をその表面部分に有し、前記第2のドレイン領域は、前記半導体基板表面に沿って前記第2のソース領域の方向に延在する第4のエクステンション部をその表面部分に有し、

前記第1のエクステンション部は、前記第1のエクステンション部の下部が前記第2のエクステンション部に向かって延出する第1のポケット領域を有し、前記第2のエクステンション部は、前記第2のエクステンション部の下部が前記第1のエクステンション部に向かって延出する第2のポケット領域を有し、

前記第3のエクステンション部は、前記第3のエクステンション部の下部が前記第4のエクステンション部に向かって延出する第3のポケット領域を有し、前記第4のエクステンション部は、前記第4のエクステンション部の下部が前記第3のエクステンション部に向かって延出する第4のポケット領域を有することを特徴とする付記11または12記載のCMOS集積回路装置。

【0128】

(付記14) 前記第1および第2のゲート電極は、0.1μm以下のゲート長を有することを特徴とする付記11～13のうち、いずれか一項記載のCMOS集積回路装置。

【0129】

(付記15) 前記第1のパンチスルーストップ領域はBおよびPのいずれか一方によりドープされており、前記第2のパンチスルーストップ領域は、Bおよ

びPの他方によりドープされていることを特徴とする付記11～14のうち、いずれか一項記載のCMOS集積回路装置。

【0130】

(付記16) 半導体基板表面に、チャネル領域に対応してダミーゲート電極を形成する工程と、

前記ダミーゲート電極パターンをマスクに、前記半導体基板中に第1導電型の不純物元素を導入し、ソース領域およびドレイン領域を形成する工程と、

前記半導体基板表面に、前記ダミーゲート電極を覆うように絶縁膜を形成する工程と、

前記絶縁膜を前記ダミーゲート電極が露出するまで研磨する工程と、

前記ダミーゲート電極を除去し、前記絶縁膜中に開口部を形成する工程と、

前記開口部側壁面に、側壁膜を形成する工程と、

前記絶縁膜および前記側壁膜をマスクに、前記半導体基板中に、少なくとも2回、第2導電型の不純物元素を異なった加速電圧でイオン注入し、前記基板面に対して垂直方向に延在するパンチスルーストップを形成する工程とよりなり、

前記パンチスルーストップを形成する工程は、前記ソース領域およびドレイン領域を形成する工程よりも後で実行されることを特徴とする半導体装置の製造方法。

【0131】

(付記17) 前記パンチスルーストップを形成する工程は、前記第2導電型不純物元素として、BおよびPのいずれか一方を使うことを特徴とする付記16記載の半導体装置の製造方法。

【0132】

(付記18) 前記半導体基板中には、前記半導体基板表面から離間して、第2導電型ウェルが形成されており、前記ソース領域およびドレイン領域を形成する工程では前記ソース領域およびドレイン領域が、前記第2導電型ウェルの上方に、前記第2導電型ウェルから離間して形成され、前記パンチスルーストップを形成する工程は、前記パンチスルーストップの下端が、前記第2導電型ウェルの近傍に到達するように実行されることを特徴とする付記16または17記載の半

導体装置の製造方法。

【0133】

(付記19) 前記ソース領域およびドレイン領域を形成する工程は、さらに前記ソース領域およびドレイン領域の上部に前記第1導電型のソースエクステンション領域およびドレインエクステンション領域を、前記ソースエクステンション領域と前記ドレインエクステンション領域とが前記半導体基板の表面に沿って、相互に対向して延出するように形成する工程と、前記ゲート電極をマスクに、前記第1導電型の不純物元素を斜め方向にイオン注入し、前記前記ソースエクステンション領域の下部に前記第1導電型を有する第1のポケット領域を、また前記ドレインエクステンション領域の下部に前記第1導電型を有する第2のポケット領域を、前記第1および第2のポケット領域が相互に対向して延出するように形成する工程とを含むことを特徴とする付記16～18のうち、いずれか一項記載の半導体装置の製造方法。

【0134】

(付記20) 半導体基板と、

前記半導体基板上に形成された、第1導電型半導体層よりなるを有する第1の素子領域と、

前記第1の素子層上に形成された第1導電型を有するパンチスルーストップ層と、

前記パンチスルーストップ層上に形成された第1導電型を有する半導体層よりなる第2の素子領域と、

前記第2の素子領域中に、前記パンチスルーストップ層を横切って、前記第1の素子領域の一部を露出するように形成された溝と、

前記溝表面に、前記第2の素子領域から前記第1の素子領域まで連続して延在するように形成されたゲート絶縁膜と、

前記第2の素子領域中、前記溝に隣接して形成された第2導電型の第1の拡散領域と、

前記第1の素子領域中、前記溝に隣接して形成された第2導電型の第2の拡散領域と、

前記溝中に前記ゲート絶縁膜を覆うように形成されたゲート電極とよりなり、前記パンチスルーストップ層は、前記第1および第2の素子領域よりも大きな不純物濃度を有することを特徴とする半導体装置。

【0135】

【発明の効果】

本発明によれば、このようにして形成されるパンチスルーストップ領域中における前記第1導電型不純物元素の濃度をソース領域あるいはドレイン領域の濃度の少なくとも5倍に設定することにいよ、効果的なパンチスルーの抑制が可能になる。また本発明では高い不純物濃度にドープされたパンチスルーストップがソースエクステンション領域あるいはドレインエクステンション領域から離間して形成されるため、接合容量の増加による動作速度の低下あるいは接合リーキ電流の増加の問題を回避することができる。特にパンチスルーストップを、下端がソース領域あるいはドレイン領域の接合深さよりも深くなるように形成することにより、また上端がチャネル表面から10nm以内に位置するように形成することにより、さらに幅が10nm以上になるように形成することにより、パンチスルーを効果的に抑制することができる。

【0136】

また本発明によれば、CMOS半導体装置を構成するpチャネルMOSトランジスタとnチャネルMOSトランジスタにおいて、それぞれのパンチスルーストップ領域を、それぞれの素子領域下方に形成されたウェル近傍に到達するよう、あるいはウェル自体に到達するように形成することにより、寄生バイポーラトランジスタのラッチアップ現象を効果的に抑制することが可能になる。

【0137】

また本発明によれば、ダミーゲート電極を使ってソースおよびドレイン領域を形成した後で、自己整合マスクを使ってイオン注入を、加速電圧を変えながら複数回繰り返すことにより、所望のパンチスルーストップを、基板正面に対して垂直方向に限られた幅で延在する高濃度注入領域の形に形成することが可能になる。特にp型ドーパントを使う場合にはBを、n型ドーパントを使う場合にはPを使うことにより、側方へのドーパントの拡散が少ない高濃度注入領域を形成する

ことが可能になる。

【図面の簡単な説明】

【図1】

従来の半導体装置の構成を示す図である。

【図2】

従来の別の半導体装置の構成を示す図である。

【図3】

図2の半導体装置の製造工程を示す図である。

【図4】

従来の半導体装置におけるオフ電流と基板濃度との関係を示す図である。

【図5】

従来の半導体装置における接合容量と基板濃度との関係を示す図である。

【図6】

本発明の原理を説明する図である。

【図7】

本発明の原理を説明する別の図である。

【図8】

本発明の原理を説明する別の図である。

【図9】

本発明の原理を説明する別の図である。

【図10】

本発明の原理を説明する別の図である。

【図11】

本発明の原理を説明する別の図である。

【図12】

本発明の第1実施例によるCMOS集積回路装置の構成を示す図である。

【図13】

(A), (B) は、図12のCMOS集積回路装置の製造工程を示す図 (その1) である。

【図14】

(C) は、図12のCMOS集積回路装置の製造工程を示す図（その2）である。

【図15】

(D), (E) は、図12のCMOS集積回路装置の製造工程を示す図（その3）である。

【図16】

(F), (G) は、図12のCMOS集積回路装置の製造工程を示す図（その4）である。

【図17】

(H), (I) は、図12のCMOS集積回路装置の製造工程を示す図（その5）である。

【図18】

(J), (K) は、図12のCMOS集積回路装置の製造工程を示す図（その6）である。

【図19】

(L), (M) は、図12のCMOS集積回路装置の製造工程を示す図（その7）である。

【図20】

イオン注入によるパンチスルーストップの形成を示す図である。

【図21】

イオン注入によるパンチスルーストップの形成を示す図である。

【図22】

イオン注入によるパンチスルーストップの形成を示す図である。

【図23】

イオン注入によるパンチスルーストップの形成を示す図である。

【図24】

イオン注入によるパンチスルーストップの形成を示す図である。

【図25】

イオン注入によるパンチスルーストッパの形成を示す図である。

【図26】

パンチスルーストッパをイオン注入により形成する際のマスクを示す平面図である。

【図27】

本発明の第2実施例によるCMOS集積回路装置の構成を示す図である。

【図28】

(A), (B) は、本発明の第3実施例によるCMOS集積回路装置の製造工程を示す図（その1）である。

【図29】

(C)～(E) は、本発明の第3実施例によるCMOS集積回路装置の製造工程を示す図（その2）である。

【図30】

(F)～(H) は、本発明の第3実施例によるCMOS集積回路装置の製造工程を示す図（その3）である。

【図31】

(I) は、本発明の第3実施例によるCMOS集積回路装置の製造工程を示す図（その4）である。

【図32】

本発明の第4実施例による半導体装置の構成を示す図である。

【符号の説明】

10, 20, 30, 80 半導体装置

11, 21, 31 基板

12 ウエル

12A 素子領域

12B 素子分離領域

12D, 24D, 31D ドレイン領域

12De, 31De ドレインエクステンション領域

12S, 24S, 31S ソース領域

12Se, 31Se ソースエクステンション領域

12P ポケット領域

13, 22, 32 ゲート絶縁膜

14, 23, 33 ゲート電極

25, 34 パンチスルーストップ

24Dd, 24Sd LDD領域

40, 60 CMOS集積回路装置

40A, 40B 素子領域

41 基板

41A, 41B ウエル

41a, 41b チャネル領域

41D, 41S, 51S, 51D ソース領域・ドレイン領域

41Se, 41De, 51Se, 51De ソース・ドレインエクステンション領域

41P, 51P パンチスルーストップ

41Q, 51Q 溝

41c, 41d チャネルドープ領域

41p, 51p ポケット領域

42 素子分離構造

42A 酸化膜

43A, 43B ゲート絶縁膜

44A, 44B ゲート電極

54A, 54B ダミーゲート電極

54a, 54b 側壁絶縁膜

55 絶縁膜

55A, 55B 開口部

56A, 56B 側壁膜

71A, 71B 絶縁膜

81 基板

82 ウエル

83 素子領域

83D, 83S 拡散領域

83G 溝

84 ゲート絶縁膜

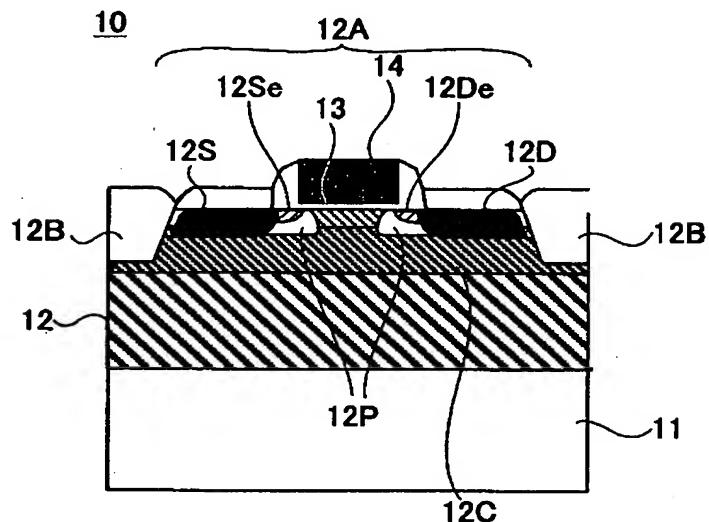
85 ゲート電極

86 パンチスルーストップ

【書類名】 図面

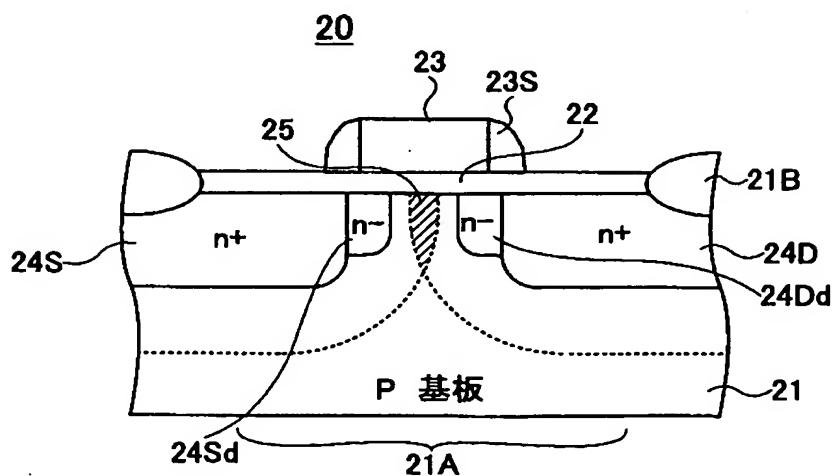
〔図1〕

従来の半導体装置の構成を示す図



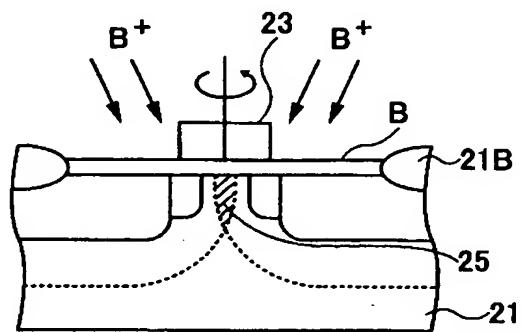
〔圖2〕

従来の別の半導体装置の構成を示す図



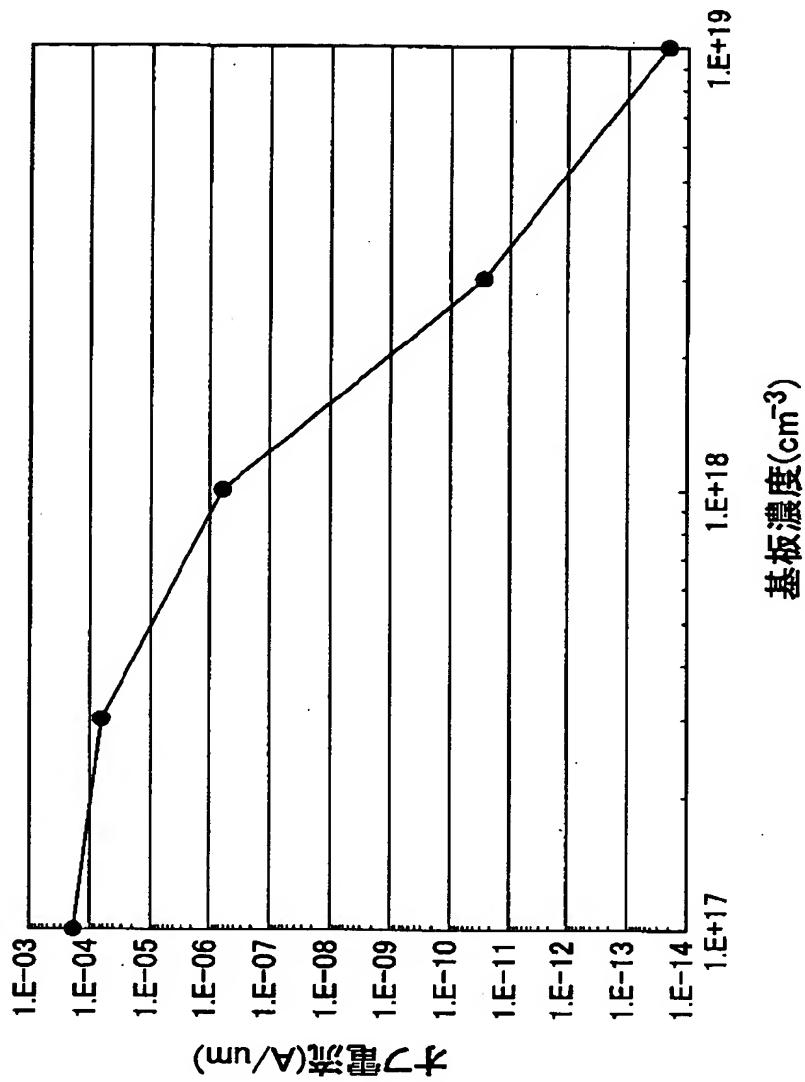
【図3】

図2の半導体装置の製造工程を示す図



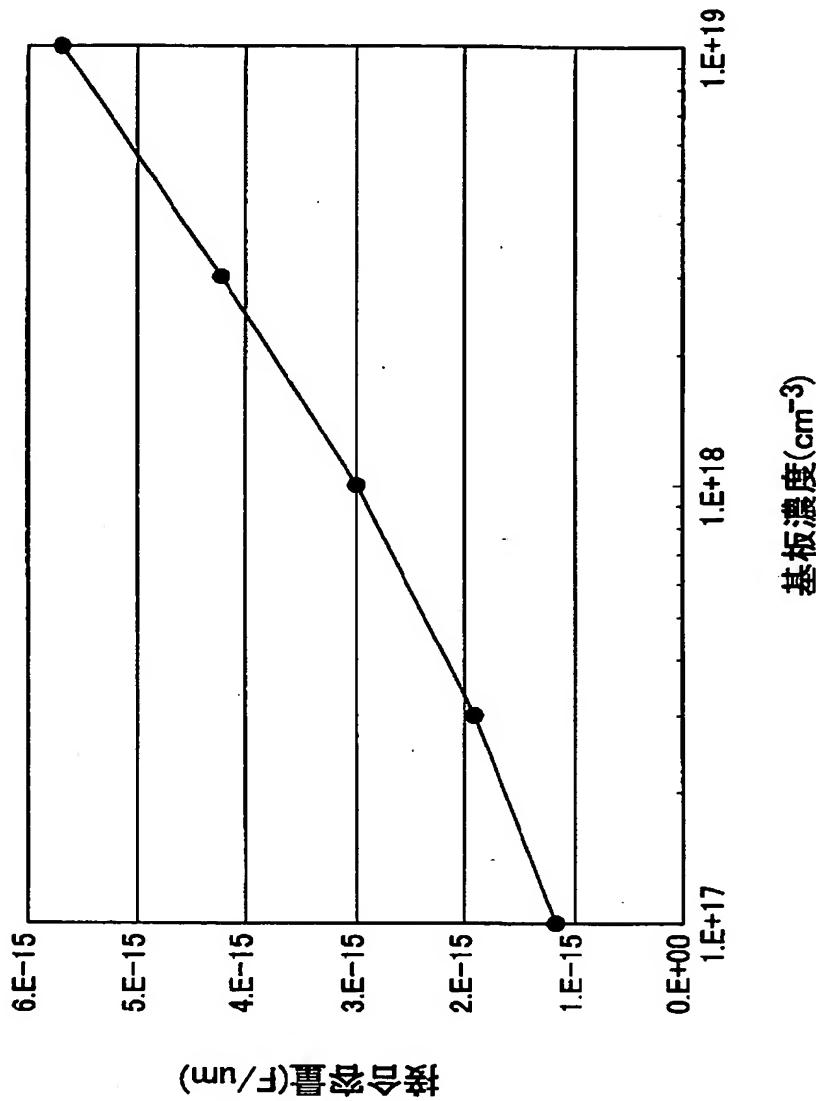
【図4】

従来の半導体装置におけるオフ電流と基板濃度との関係を示す図



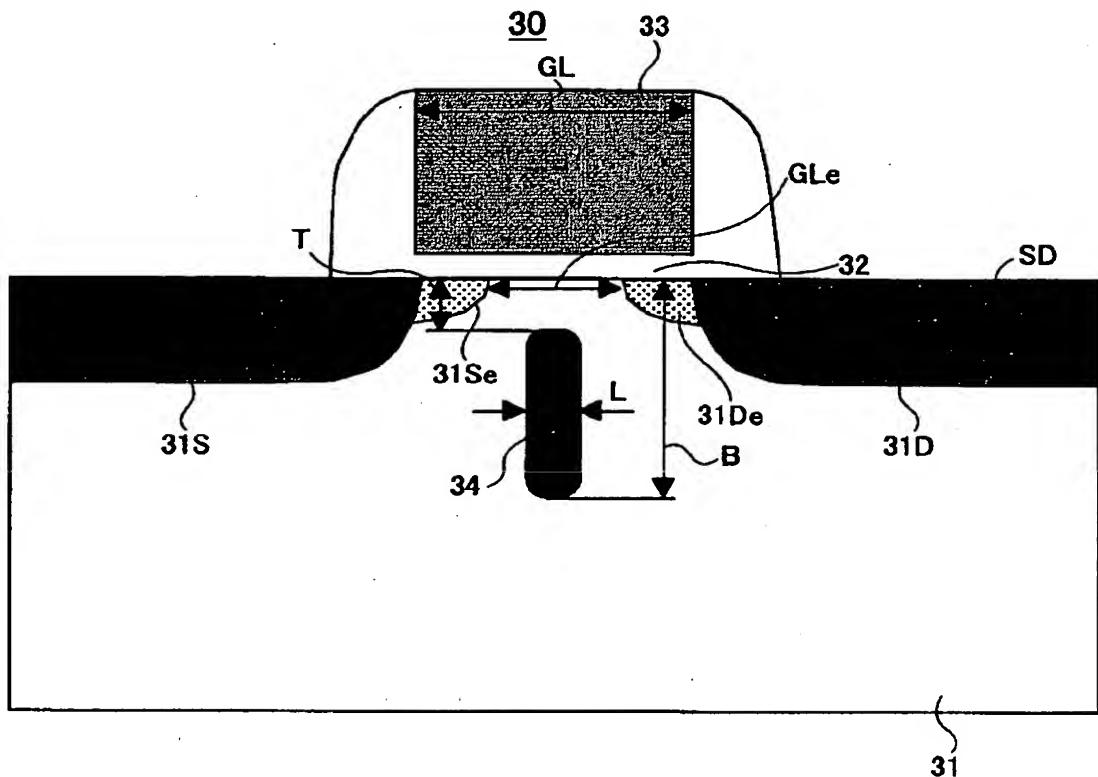
【図5】

従来の半導体装置における接合容量と基板濃度との関係を示す図



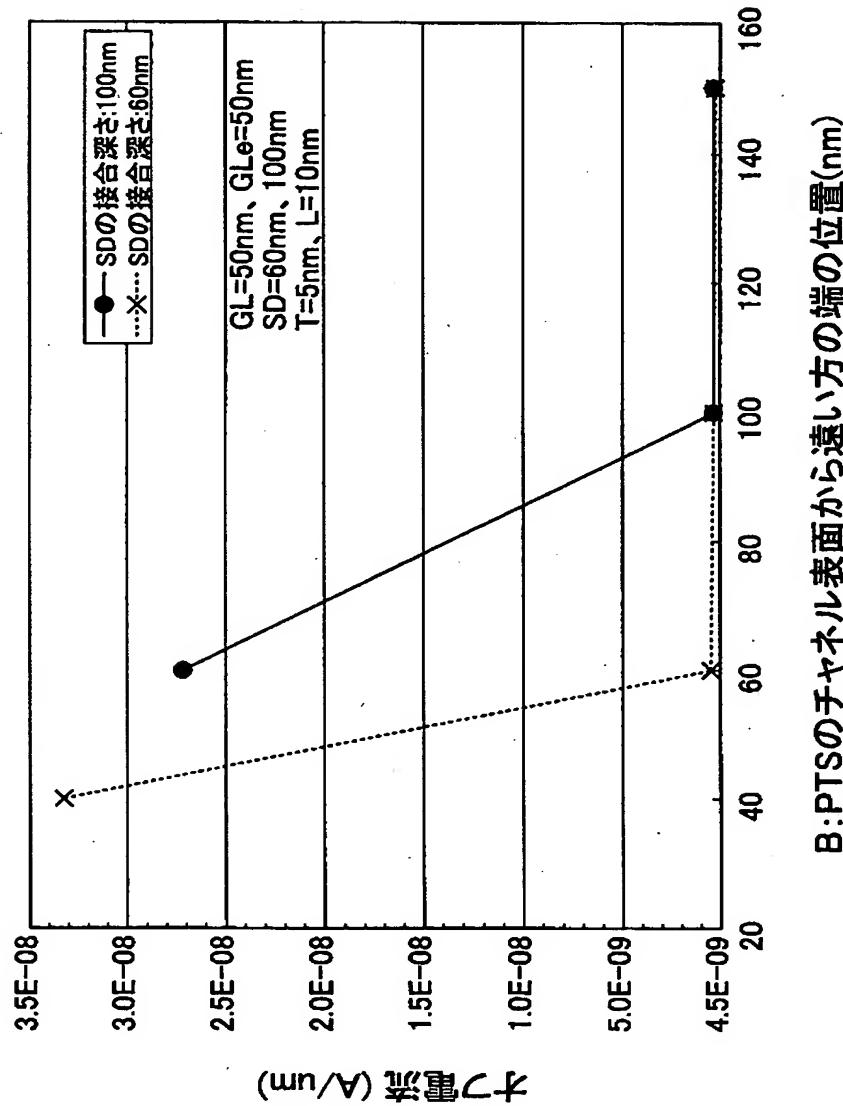
【図6】

本発明の原理を説明する図



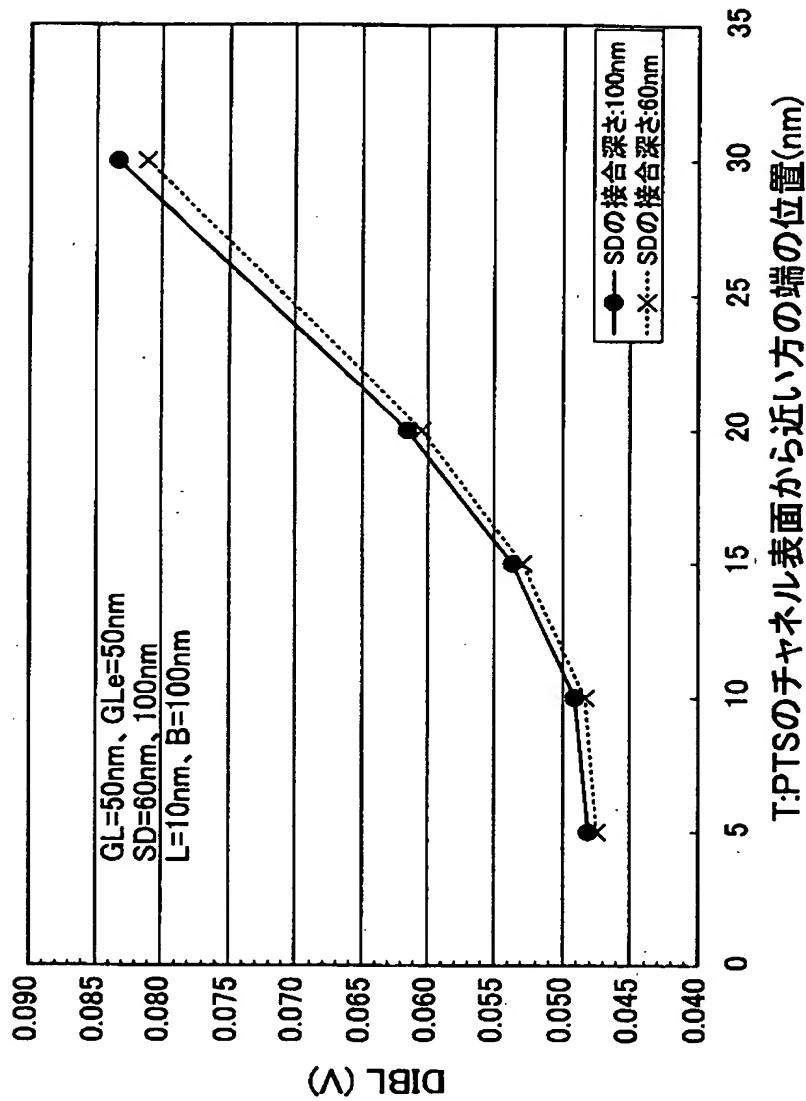
【図7】

本発明の原理を説明する別の図



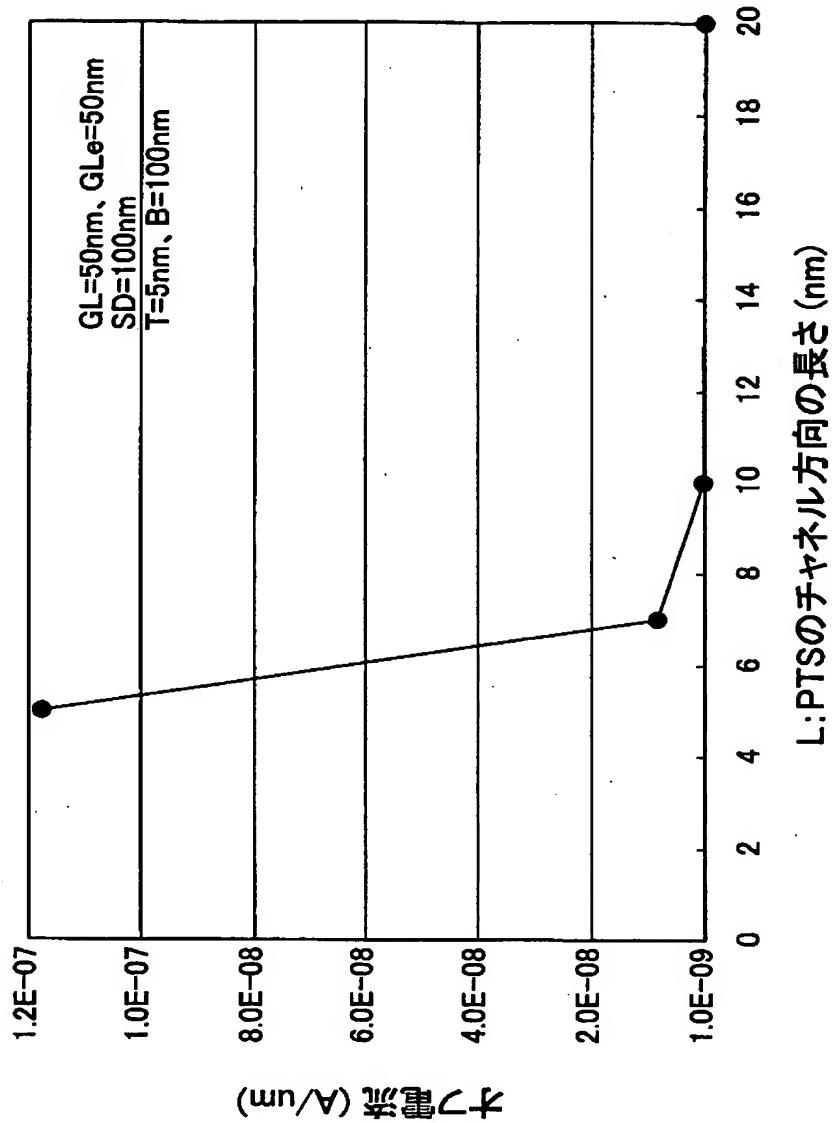
【図8】

本発明の原理を説明する別の図



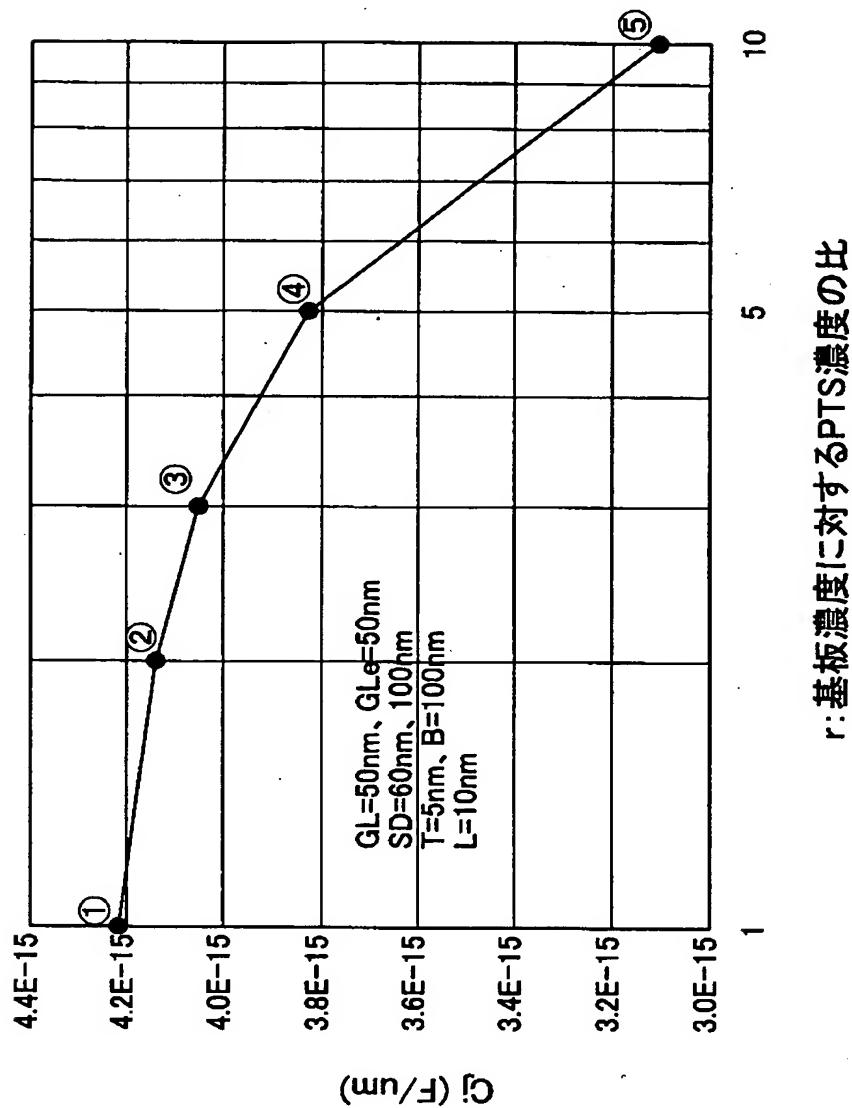
【図9】

本発明の原理を説明する別の図



【図10】

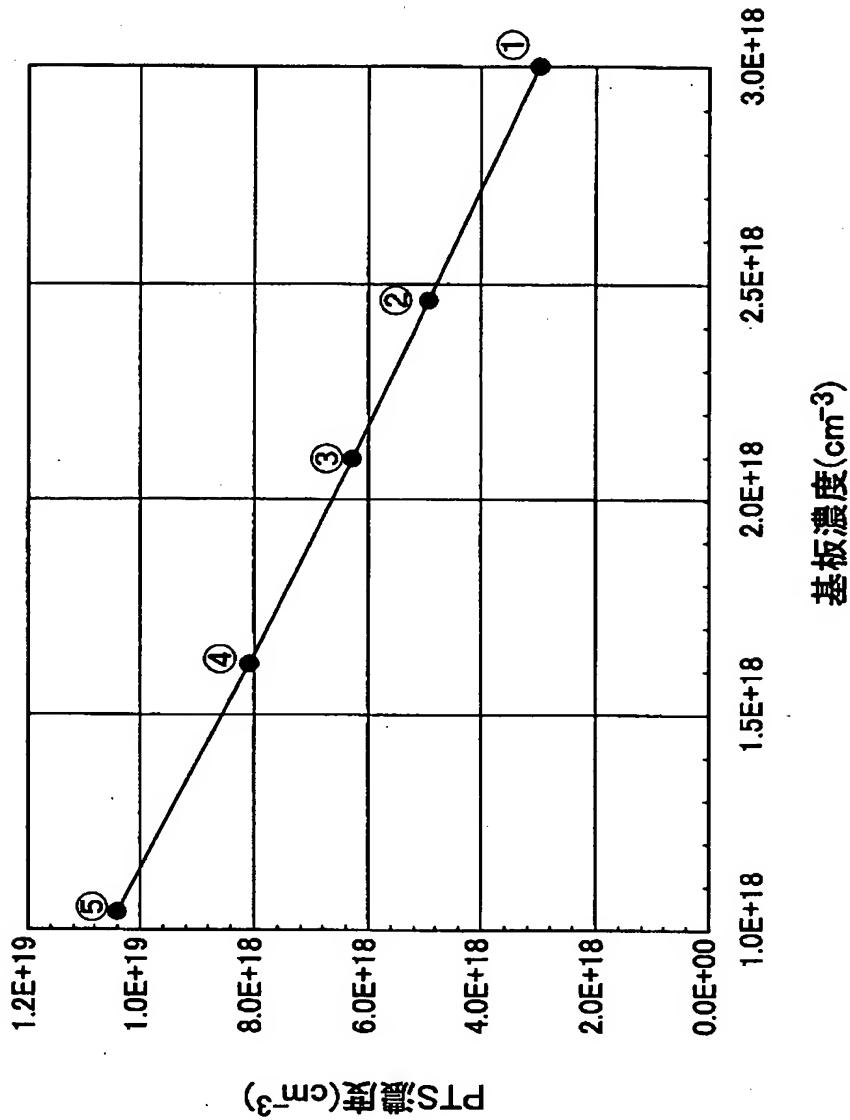
本発明の原理を説明する別の図



r: 基板濃度に対するPTS濃度の比

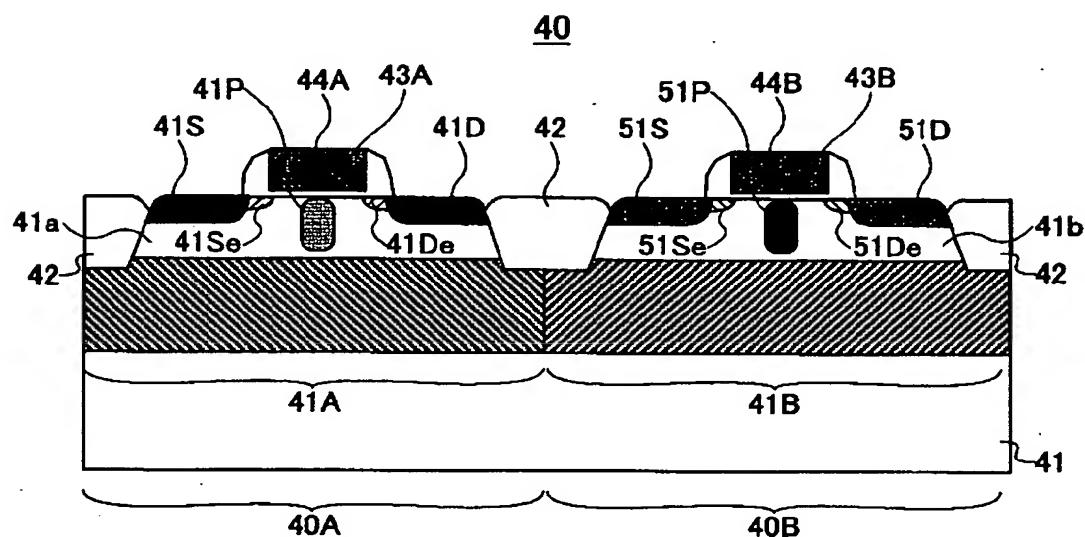
【図11】

本発明の原理を説明する別の図



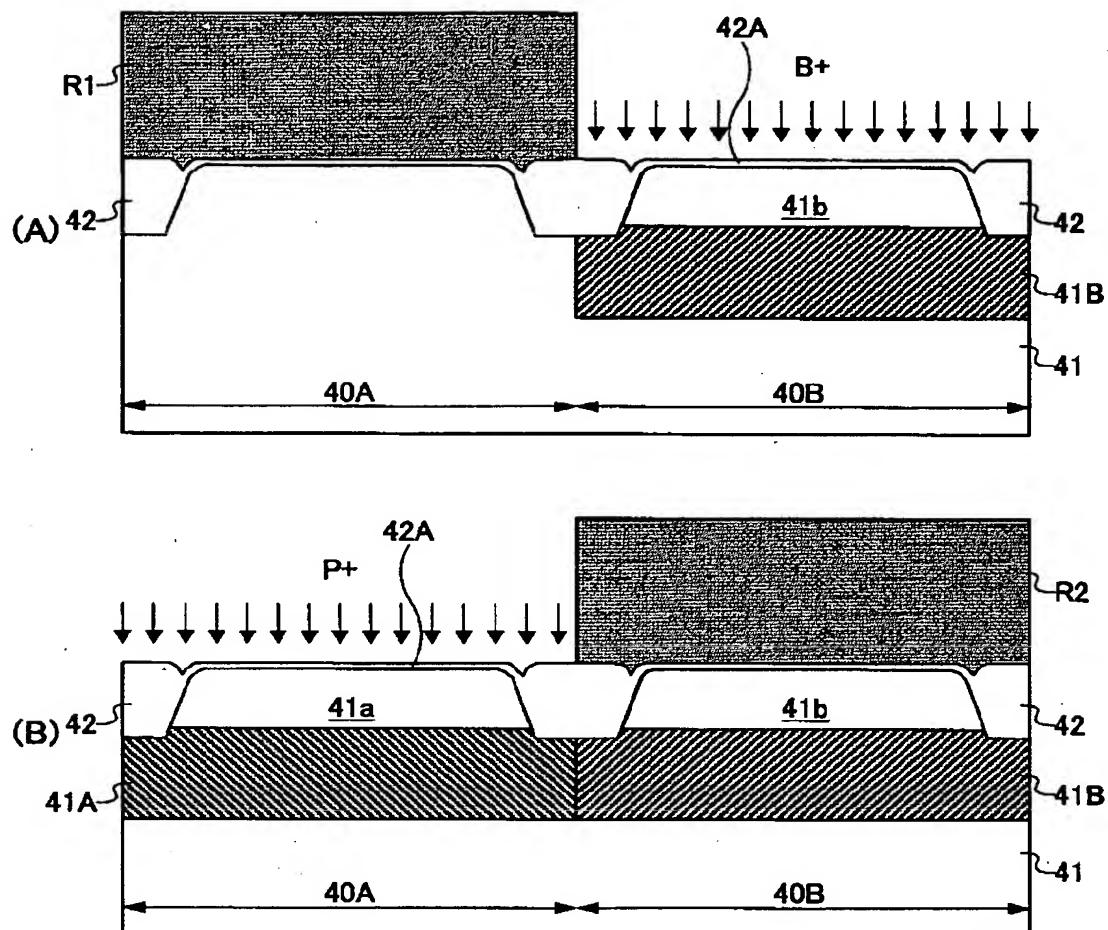
【図12】

本発明の第1実施例によるCMOS集積回路装置の構成を示す図



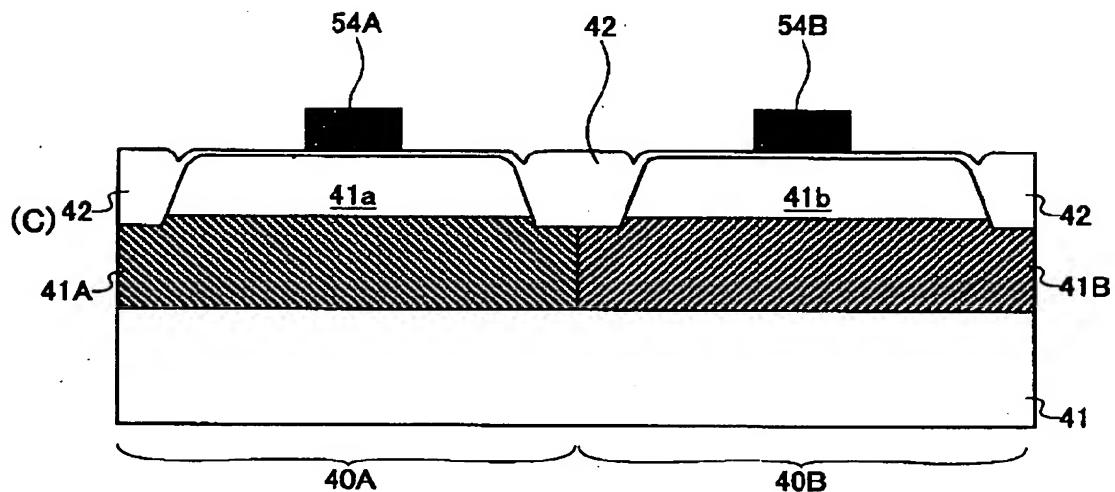
【図13】

(A), (B) は、図12のCMOS集積回路装置の製造工程を示す図
(その1)



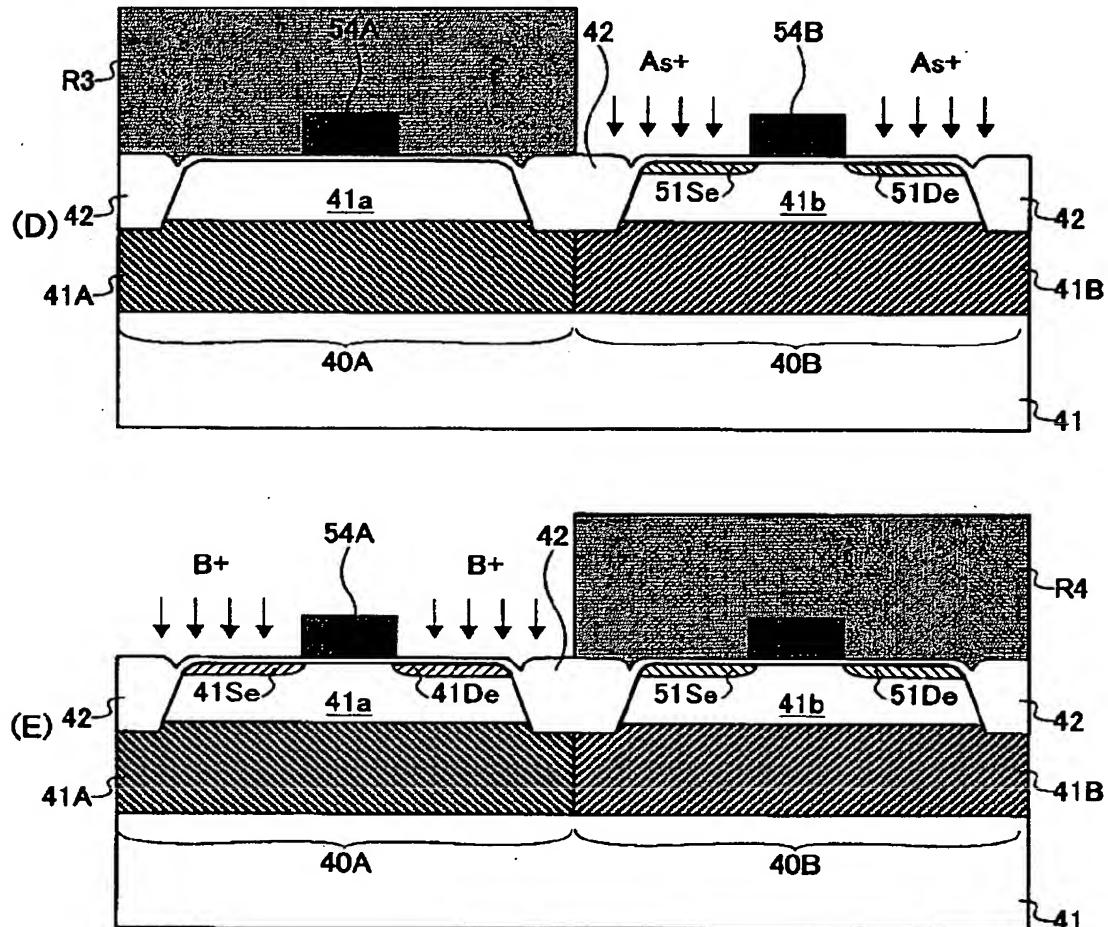
【図14】

(C)は、図12のCMOS集積回路装置の製造工程を示す図
(その2)



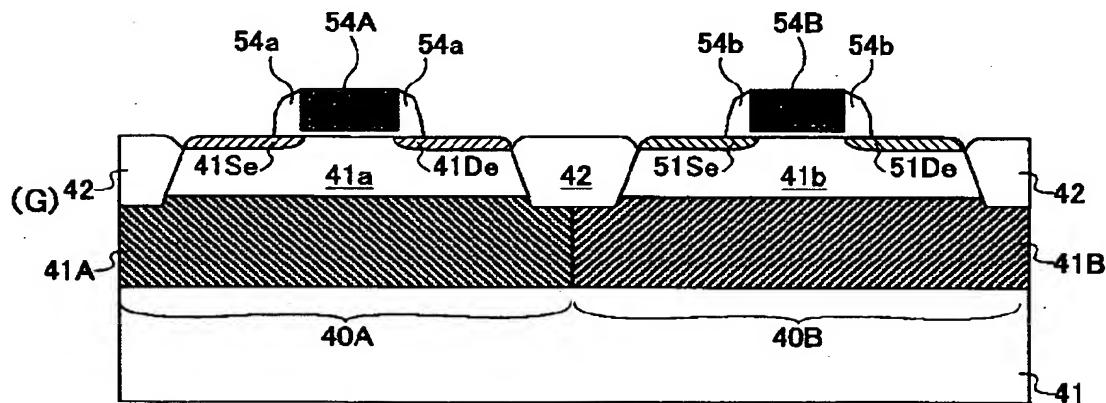
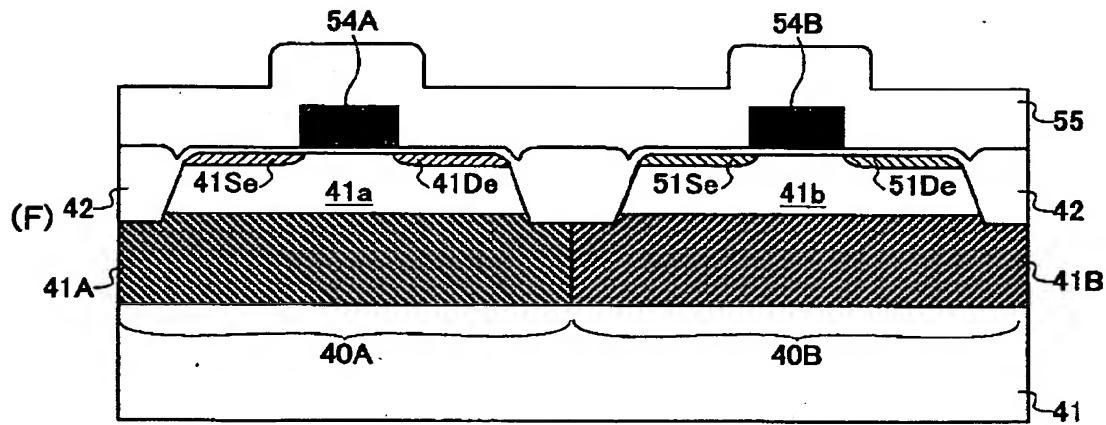
【図15】

(D), (E) は、図12のCMOS集積回路装置の製造工程を示す図
(その3)



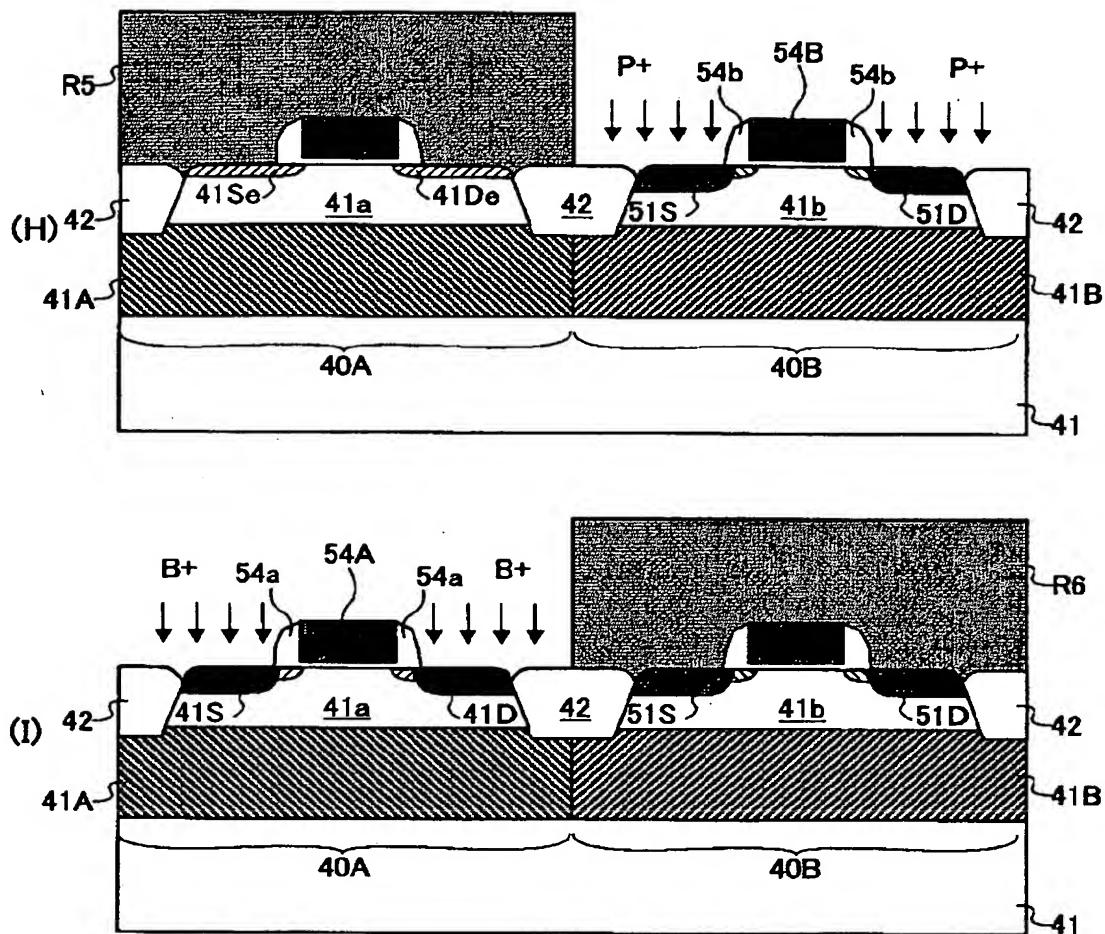
【図16】

(F), (G)は、図12のCMOS集積回路装置の製造工程を示す図
(その4)



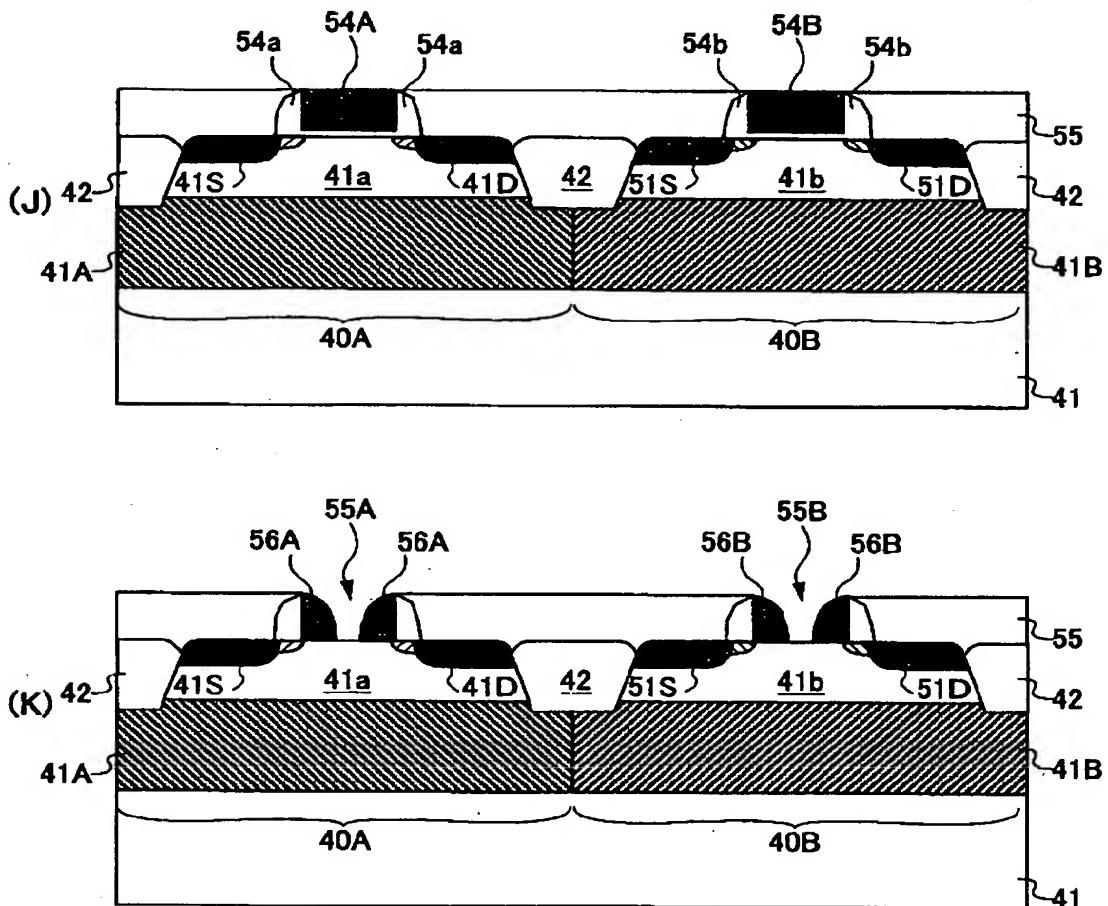
【図 17】

(H), (I)は、図12のCMOS集積回路装置の製造工程を示す図
(その5)



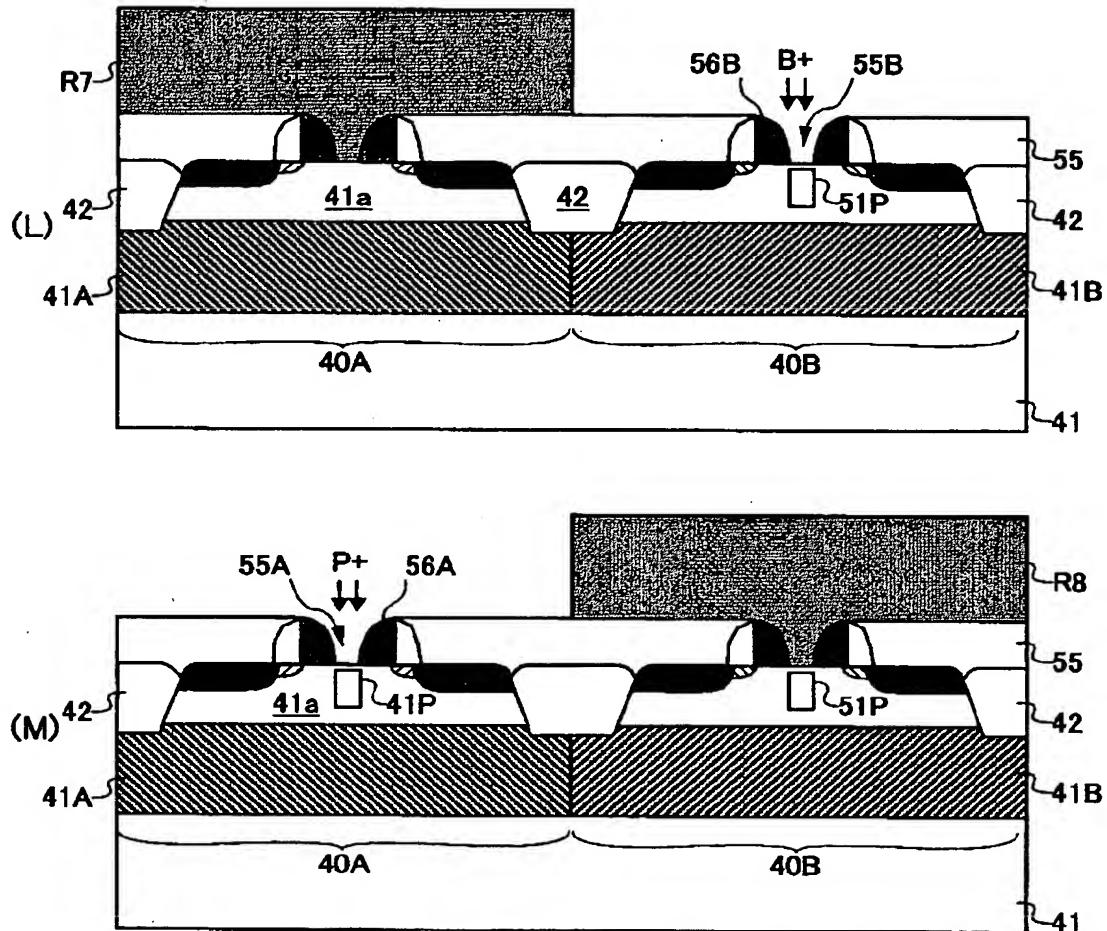
【図18】

(J), (K)は、図12のCMOS集積回路装置の製造工程を示す図
(その6)



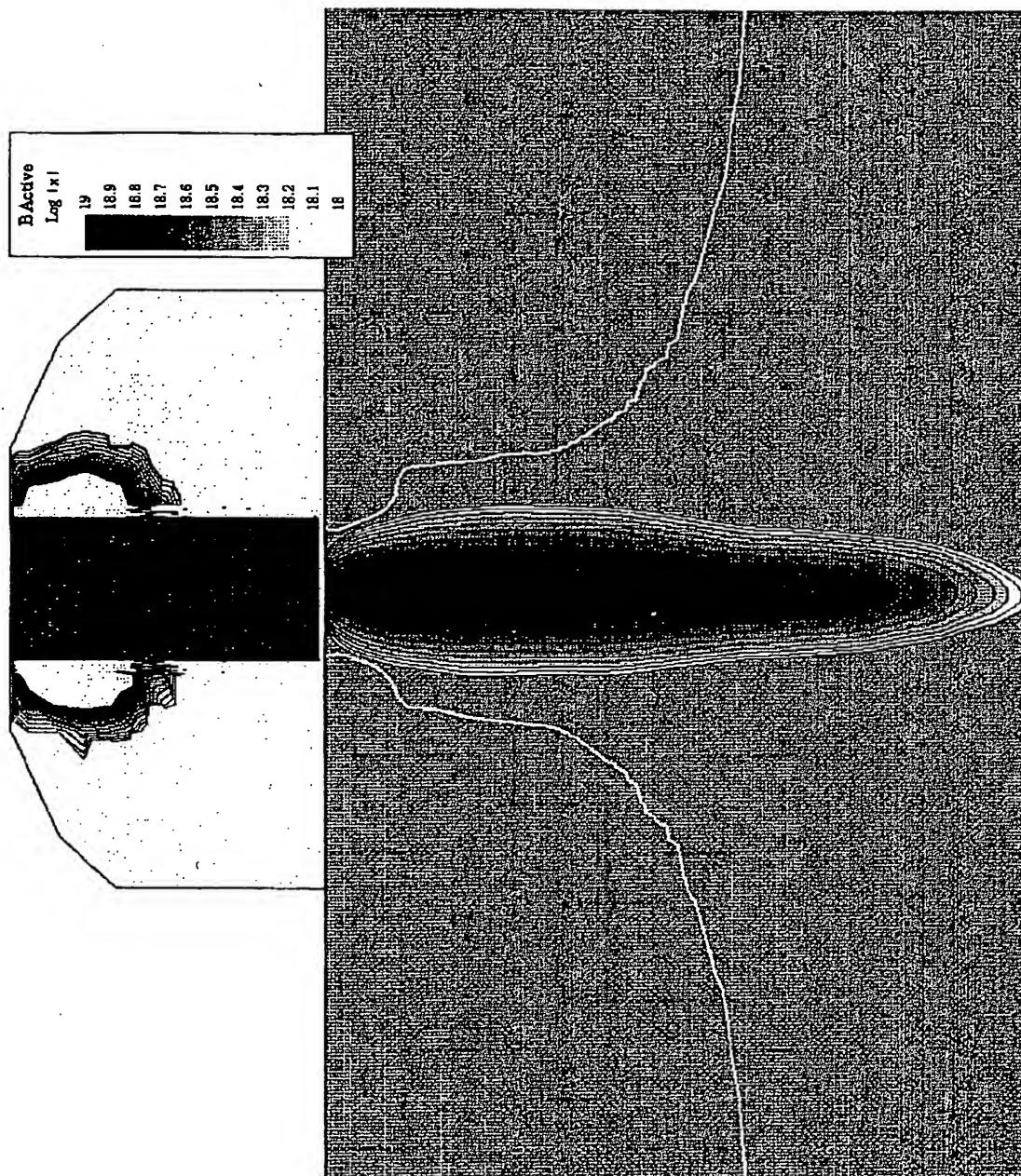
【図19】

(L), (M)は、図12のCMOS集積回路装置の製造工程を示す図
(その7)



【図20】

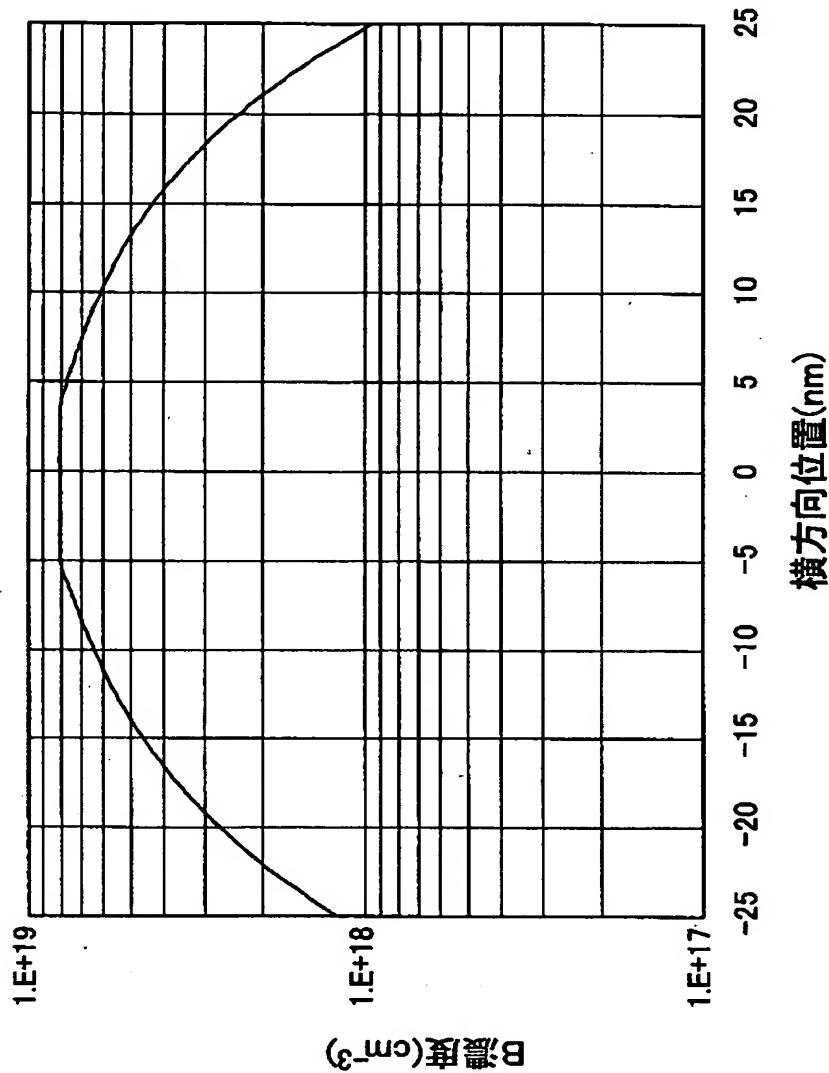
イオン注入によるパンチスルーストップの形成を示す図



BEST AVAILABLE COPY

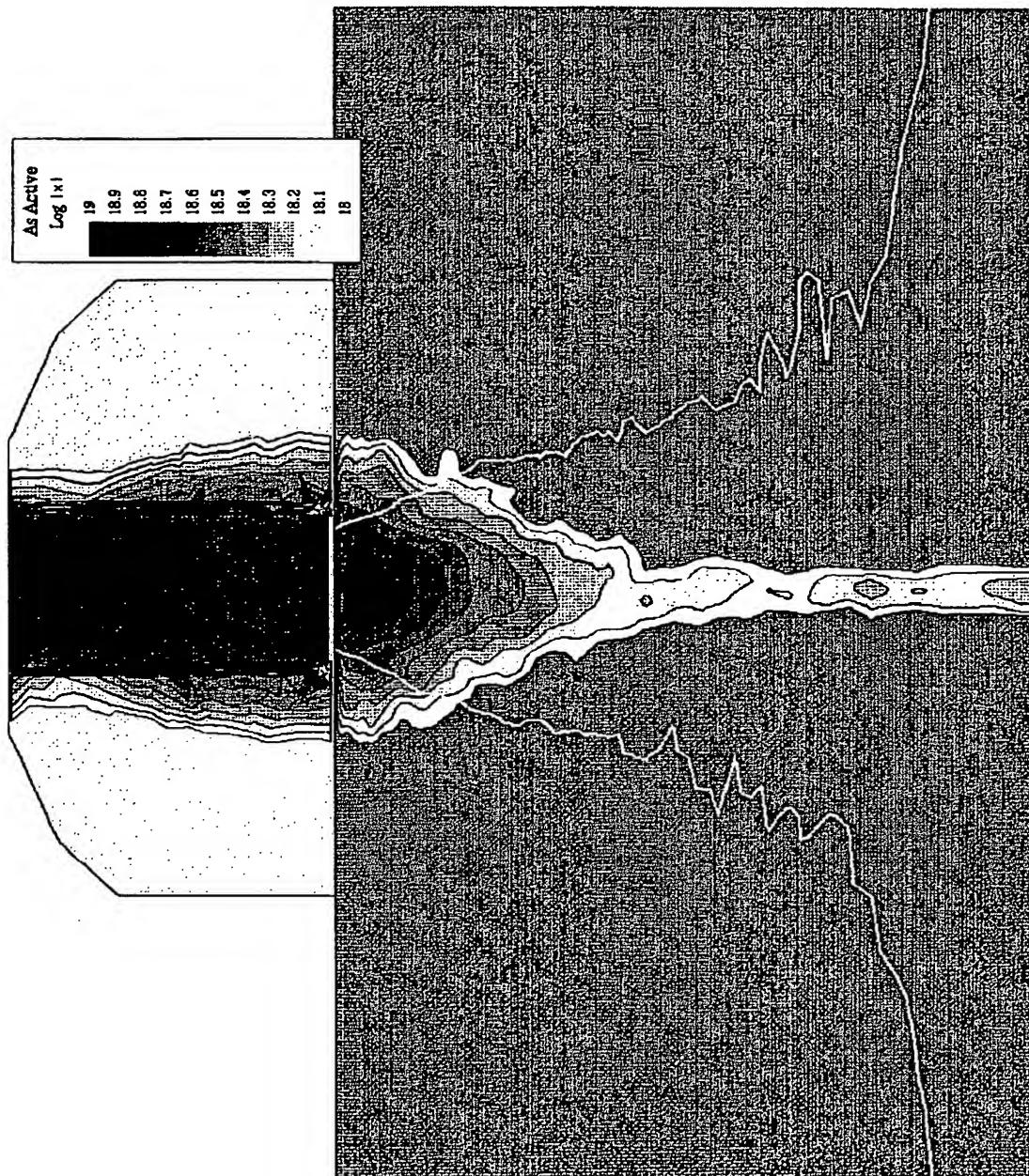
【図21】

イオン注入によるパンチスルーストップの形成を示す図



【図22】

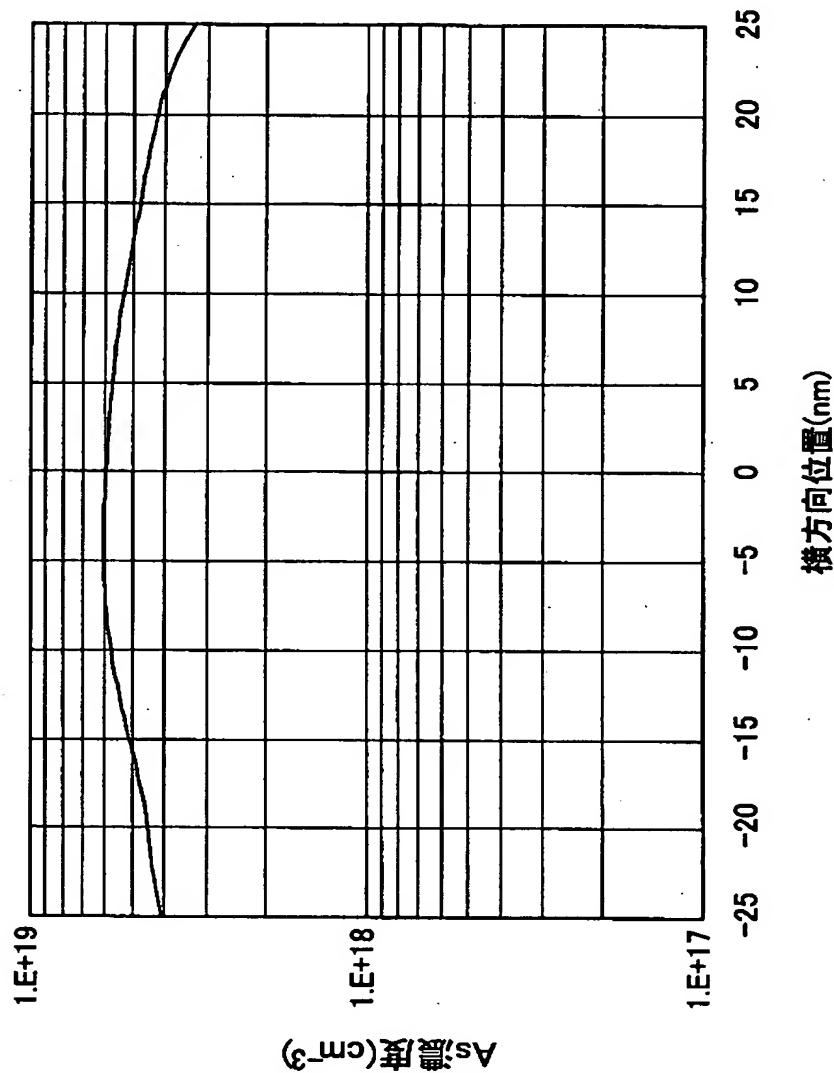
イオン注入によるパンチスルーストップの形成を示す図



BEST AVAILABLE COPY

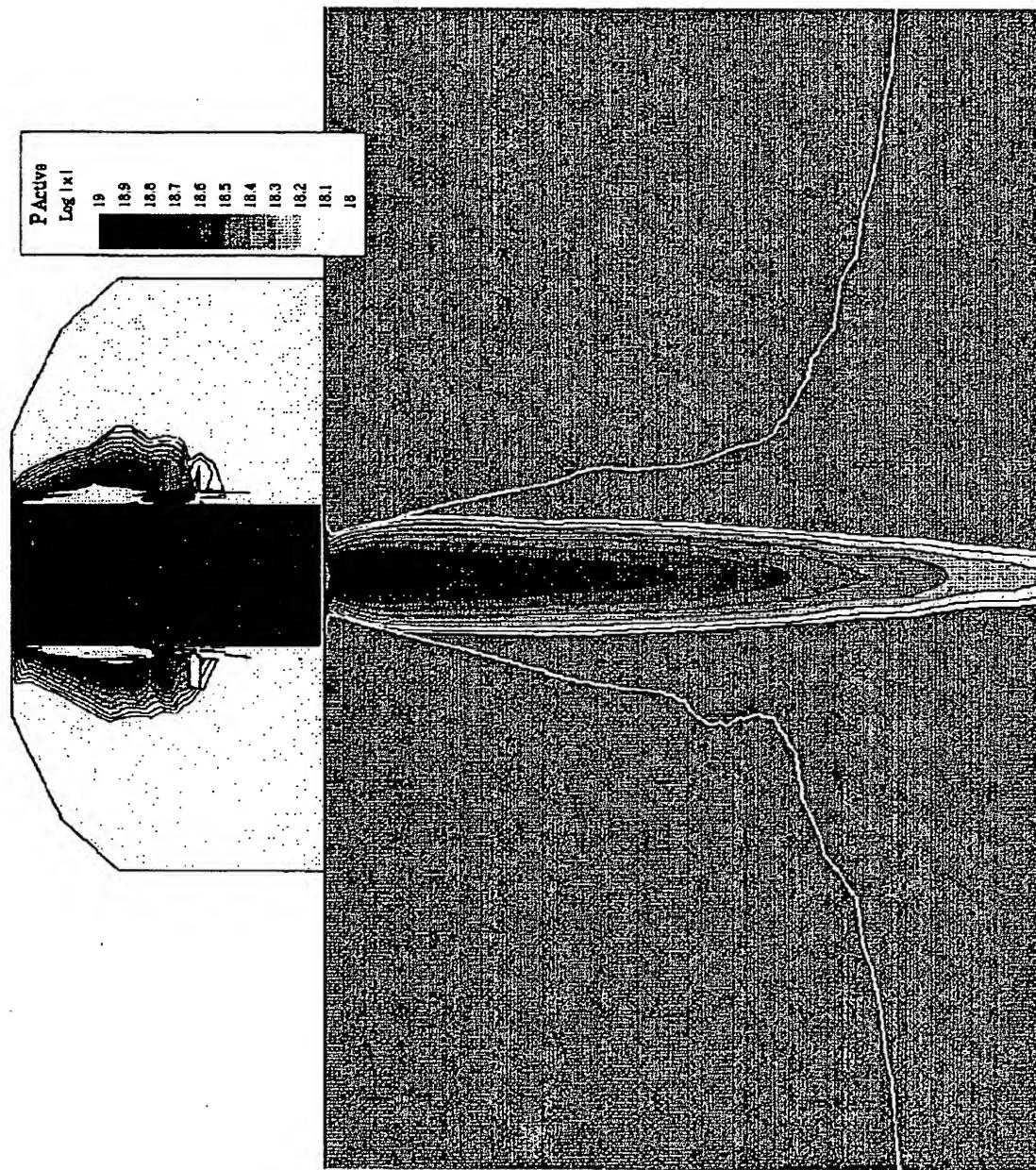
【図23】

イオン注入によるパンチスルーストッパの形成を示す図



【図24】

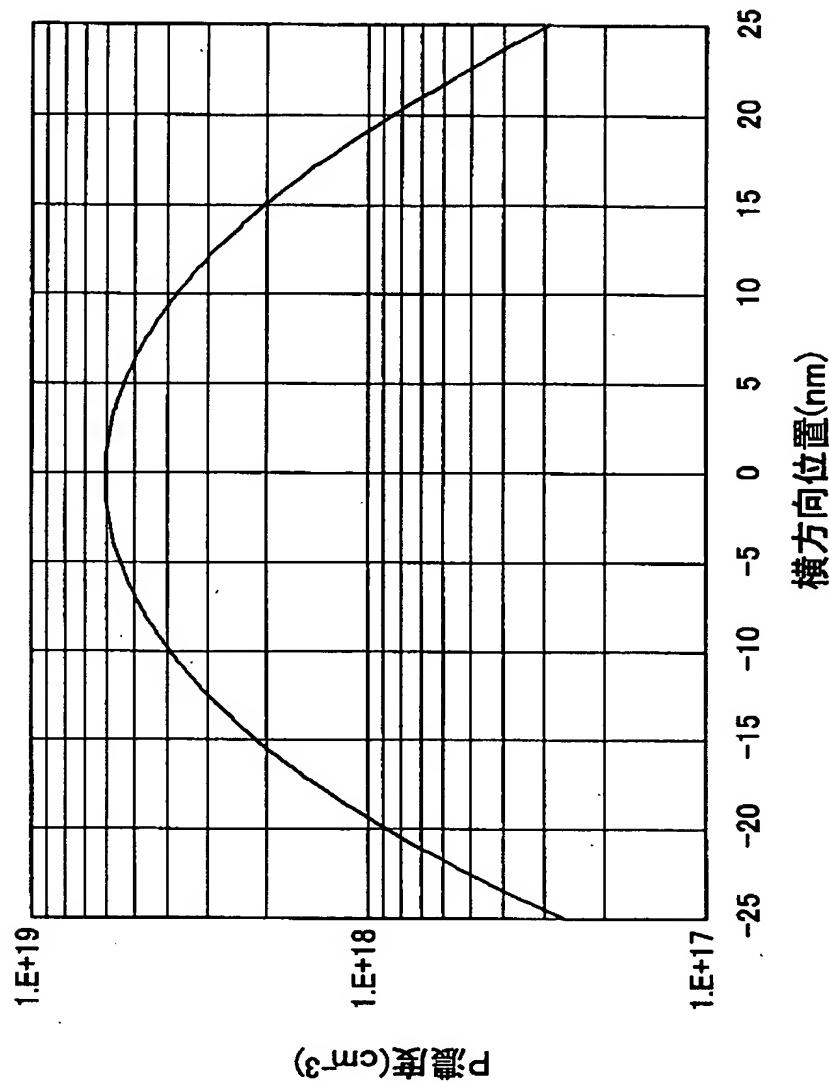
イオン注入によるパンチスルーストップの形成を示す図



BEST AVAILABLE COPY

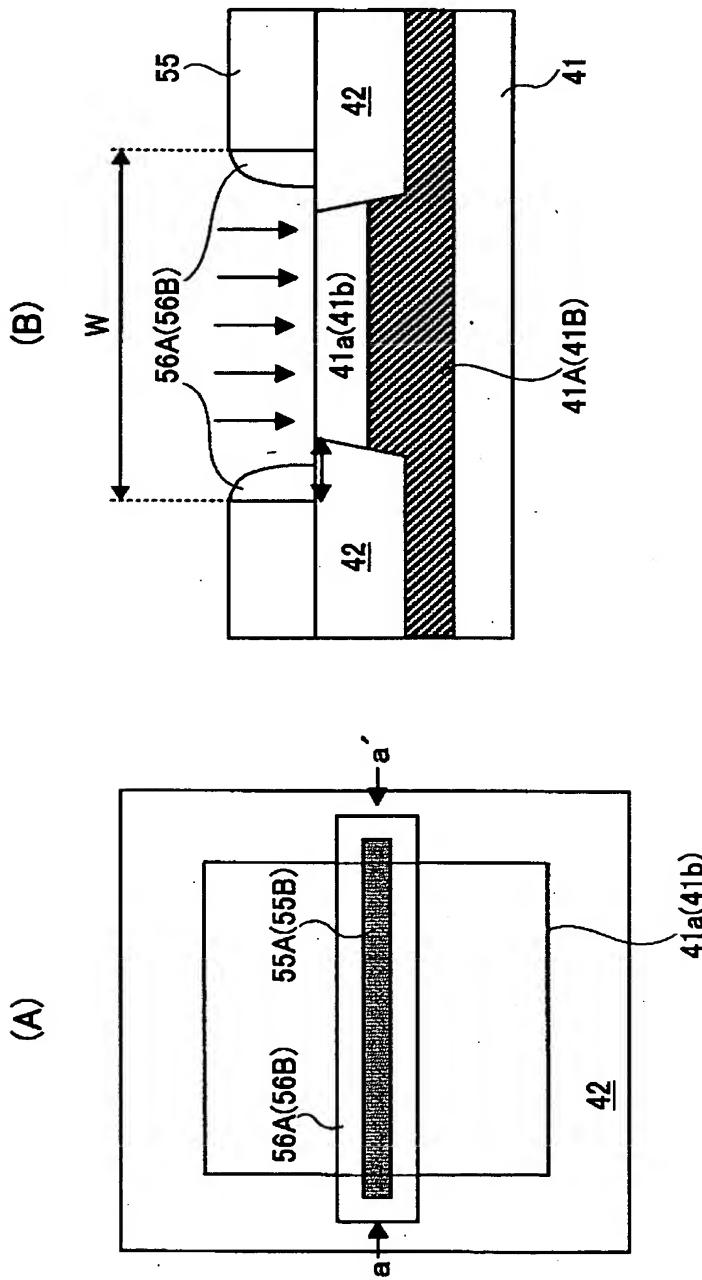
【図25】

イオン注入によるパンチスルーストップの形成を示す図



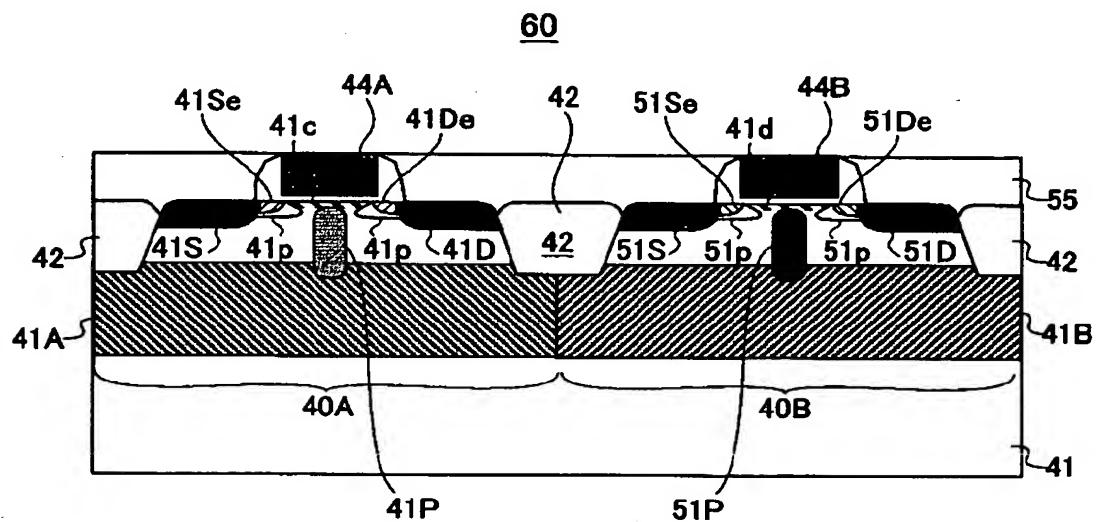
【図26】

パンチスルーストッパをイオン注入により形成する際の
マスクを示す平面図



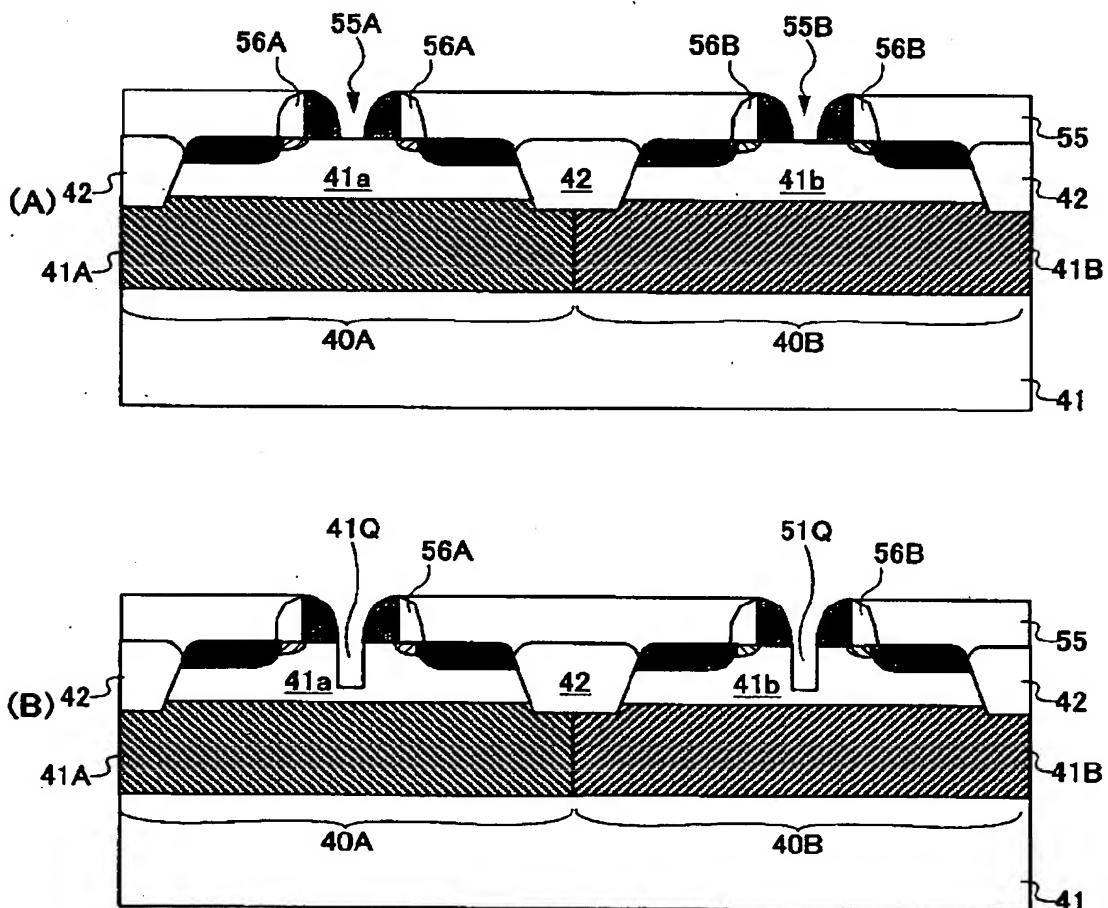
【図27】

本発明の第2実施例によるCMOS集積回路装置の構成を示す図



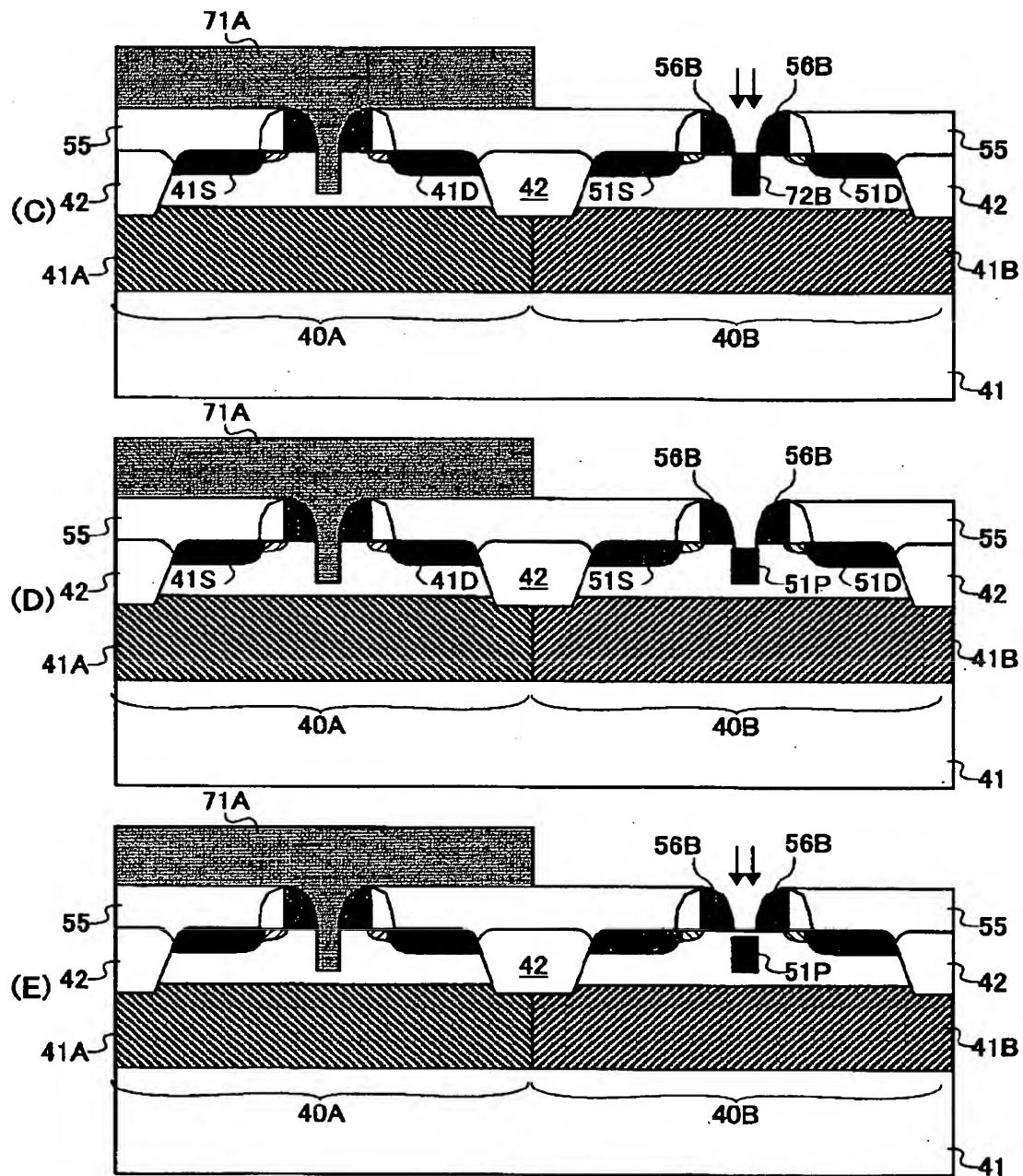
【図28】

(A), (B)は、本発明の第3実施例によるCMOS集積回路装置の
製造工程を示す図(その1)



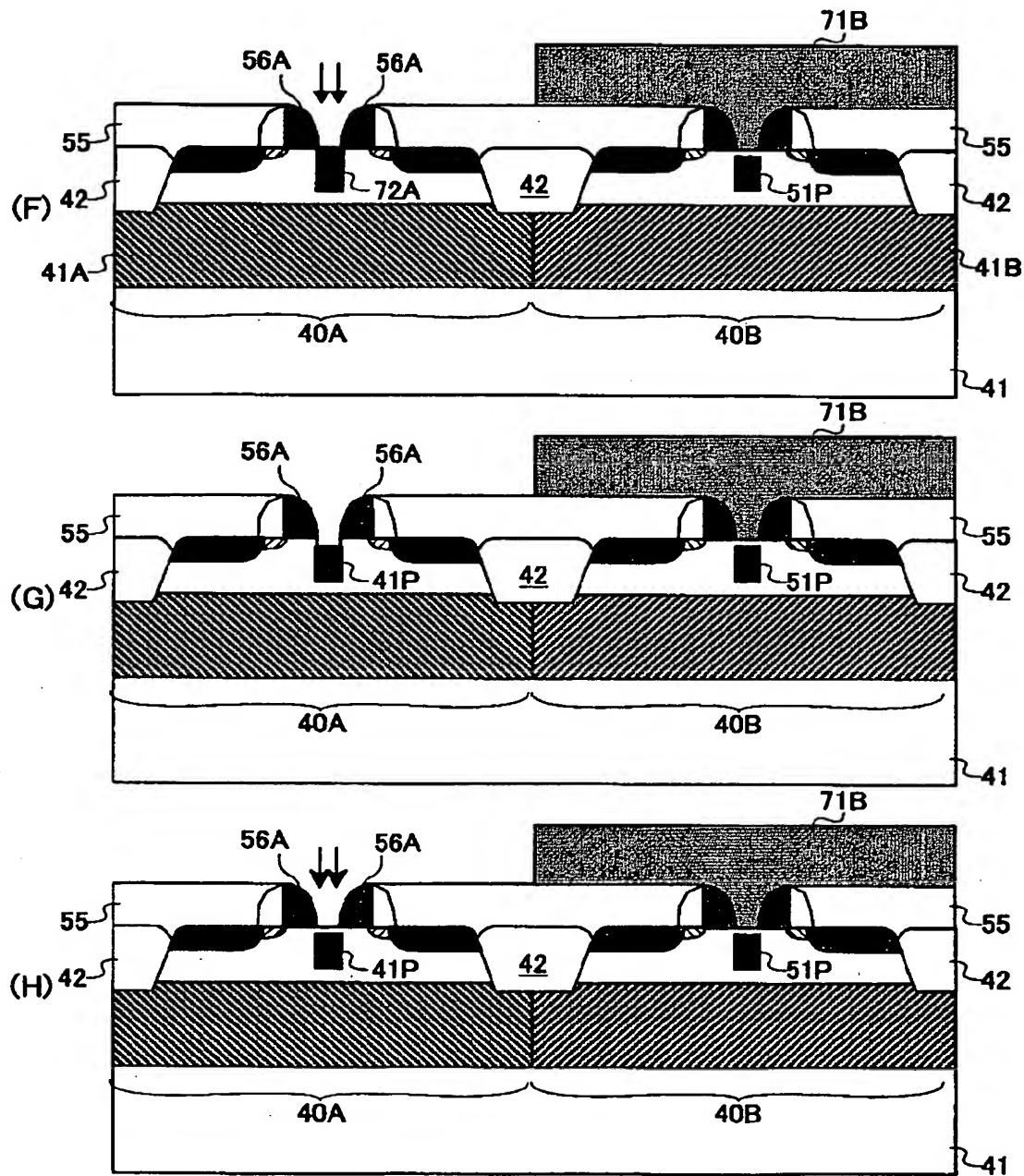
【図29】

(C)～(E)は、本発明の第3実施例によるCMOS集積回路装置の
製造工程を示す図(その2)



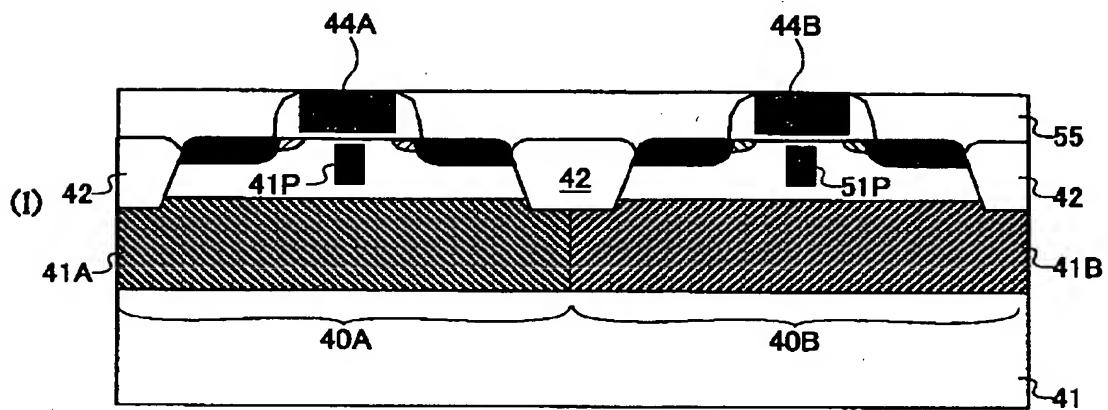
【図30】

(F)～(H)は、本発明の第3実施例によるCMOS集積回路装置の
製造工程を示す図(その3)



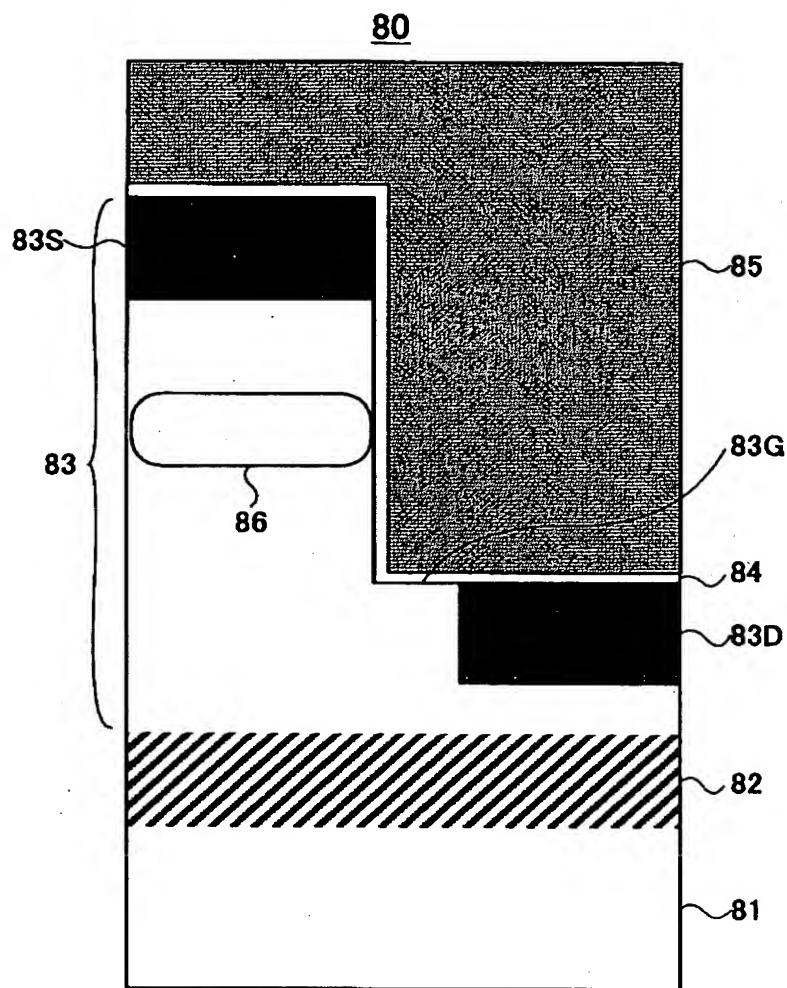
【図31】

(I) は、本発明の第3実施例によるCMOS集積回路装置の
製造工程を示す図(その4)



【図32】

本発明の第4実施例による半導体装置の構成を示す図



BEST AVAILABLE COPY

【書類名】 要約書

【要約】

【課題】 CMO S素子において、接合容量を増大させることなく、効果的なパンチスルーストッパを形成する。

【解決手段】 パンチスルーストッパを、チャネル領域中、ソースおよびドレン領域から離間して、基板面に垂直方向に、チャネル領域下のウェルあるいはその近傍にまで到達するように形成する。

【選択図】 図27

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社